



H-1123

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Appl. No.: 10/720,249 Confirmation No. 4095
Applicant: K. OSADA et al.
Filed: November 25, 2003
Title: A SEMICONDUCTOR DEVICE FORMED ON A SOI SUBSTRATE
TC/AU: 2814
Examiner: H. Weiss
Customer No.: 24956

SUBMISSION OF CERTIFIED PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

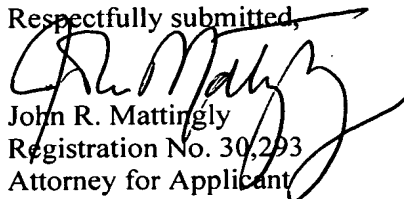
Applicants submit herewith certified priority documents of the corresponding
Japanese Patent Applications:

No. 2002-356127, filed December 9, 2002; and

No. 2003-381083, filed November 11, 2003, for the purpose of claiming foreign
priority under 35 U.S.C. § 119.

Applicants respectfully request that the priority documents be submitted and officially
considered of record.

Respectfully submitted,



John R. Mattingly
Registration No. 30,293
Attorney for Applicant

MATTINGLY, STANGER, MALUR & BRUNDIDGE, P.C.
1800 Diagonal Road, Suite 370
Alexandria, Virginia 22314
(703) 684-1120
Date: December 30, 2005

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日 2 0 0 3 年 1 1 月 1 1 日
Date of Application:

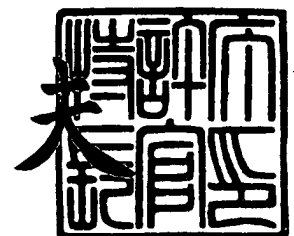
出 願 番 号 特 願 2 0 0 3 - 3 8 1 0 8 3
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 8 1 0 8 3]

出 願 人 株式会社ルネサステクノロジ
Applicant(s):

2 0 0 3 年 1 2 月 2 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 NT03P1019
【提出日】 平成15年11月11日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 29/786
H01L 27/108

【発明者】
【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所
中央研究所内
【氏名】 長田 健一

【発明者】
【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所
中央研究所内
【氏名】 山岡 雅直

【発明者】
【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所
中央研究所内
【氏名】 河原 尊之

【特許出願人】
【識別番号】 503121103
【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】
【識別番号】 100068504
【弁理士】
【氏名又は名称】 小川 勝男
【電話番号】 03-3537-1621

【選任した代理人】
【識別番号】 100086656
【弁理士】
【氏名又は名称】 田中 恭助
【電話番号】 03-3537-1621

【先の出願に基づく優先権主張】
【出願番号】 特願2002-356127
【出願日】 平成14年12月 9日

【手数料の表示】
【予納台帳番号】 081423
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0308735
【包括委任状番号】 0316061

【書類名】 特許請求の範囲**【請求項 1】**

複数のワード線と、
第 1 と第 2 ビット線と、
複数のメモリセルとを具備し、

前記複数のメモリセルの各々は、Pチャネル型の第 1 と第 2 MISFETと、Nチャネル型の第 3、第 4、第 5 と第 6 MISFETとを具備し、前記第 1 と第 3 MISFETのドレインと前記第 2 と第 4 MISFETのゲートは接続され、前記第 1 と第 3 MISFETのゲートと前記第 2 と第 4 MISFETのドレインは接続され、前記第 5 MISFETのソース・ドレイン経路は前記第 1 ビット線と第 3 MISFETのドレインとの間に接続され、前記第 6 MISFETのソース・ドレイン経路は前記第 2 ビット線と第 4 MISFETのドレインとの間に接続され、前記第 1 乃至第 4 MISFETのチャンネルが形成される領域はフローティング状態であり、

前記第 5 と第 6 MISFETのチャンネルが形成される領域に電位を供給する第 1 配線が接続されていることを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置は、第 1 と第 2 半導体層と、第 1 と第 2 半導体層との間に配置された絶縁層を有する半導体チップであって、

前記第 1 乃至第 6 MISFETの拡散層は前記第 1 半導体層内に形成され、

前記第 1 乃至第 6 MISFETのチャンネルが形成される領域は互いに絶縁層により分離されている半導体装置。

【請求項 3】

請求項 2 に記載の半導体装置において、

前記第 5 MISFETのチャンネルが形成される領域の電位はそのゲートが接続されたワード線の電位に応じて制御され、

前記第 6 MISFETのチャンネルが形成される領域の電位はそのゲートが接続されたワード線の電位に応じて制御され、

前記複数のワード線のうち、非選択のワード線に接続されたメモリセルの前記第 5 と第 6 MISFETのチャンネルが形成される領域の電位は、選択されたワード線に接続されたメモリセルの前記第 5 と第 6 MISFETのチャンネルが形成される領域の電位より低い半導体装置。

【請求項 4】

請求項 2 に記載の半導体装置において、

ワード線が選択された期間及びワード線が選択されていない期間に、前記複数のメモリセルに接続された前記第 1 配線に同じ電位が供給される半導体装置。

【請求項 5】

請求項 1 に記載の半導体装置は、第 1 と第 2 半導体層と、第 1 と第 2 半導体層との間に配置された絶縁層を有する半導体チップであって、

前記第 2 半導体層に前記メモリセルの動作電圧よりも大きい電圧が印加され、

前記第 3 乃至第 6 MISFETの拡散層は前記第 1 半導体層内に形成され、

前記第 1 と第 2 MISFETは縦型MISFETで、それぞれ前記第 1 半導体層の上にソース領域、チャンネル領域、ドレイン領域を積層させた半導体装置。

【請求項 6】

第 1 と第 2 負荷用Pチャネル型MISFETと、第 1 と第 2 駆動用Nチャネル型MISFETと、第 1 と第 2 転送用Nチャネル型MISFETとを具備するメモリセルを有し、

前記第 1 転送用Nチャネル型MISFETのゲートとチャンネル形成領域は接続され、

前記第 2 転送用Nチャネル型MISFETのゲートとチャンネル形成領域は接続され、

前記第 1 と第 2 負荷用Pチャネル型MISFET及び、第 1 と第 2 駆動用Nチャネル型MISFETのゲートとチャンネル形成領域は接続されていないことを特徴とする半導体装置。

【請求項 7】

請求項 6 に記載の半導体装置は、複数のワード線、複数のビット線と、複数の前記メモリセルとを具備し、

前記複数のワード線のうち、非選択のワード線に接続された前記メモリセルの前記第 1 転送用 N チャンネル型 MISFET のチャンネル形成領域の電位は、選択されたワード線に接続された前記メモリセルの前記第 1 転送用 N チャンネル型 MISFET のチャンネル形成領域の電位より低く、

前記メモリセルは SOI 基板に形成されている半導体装置。

【請求項 8】

請求項 7 に記載の半導体装置において、

前記 SOI 基板に前記メモリセルの動作電圧よりも大きい電圧が印加され、

第 1 と第 2 駆動用 N チャンネル型 MISFET と、第 1 と第 2 転送用 N チャンネル型 MISFET のチャンネル形成領域は互いに絶縁層により分離されていることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】

第 1 半導体層と、第 2 半導体層と、前記第 1 と第 2 半導体層との間の絶縁膜とを具備する半導体装置であって、

前記第 1 半導体層には複数の第 1 MISFET の拡散層が形成され、

前記第 2 半導体層の一部は前記第 1 半導体層と前記絶縁膜が覆われていない第 1 半導体領域を有し、前記第 1 半導体領域には前記第 1 半導体領域と同導電型で不純物濃度が高い給電領域が形成され、

前記給電領域に電圧が印加されることにより、前記複数の第 1 MISFET のしきい値が変化する半導体装置。

【請求項 10】

請求項 9 に記載の半導体装置において、

前記給電領域は前記前記第 1 半導体層と前記絶縁膜が覆われる領域を囲むようにリング状に形成され、

前記第 1 半導体領域には、前記給電領域及び前記第 2 半導体層と P N 接合を形成する第 2 半導体領域が形成され、

前記第 2 半導体領域内には前記第 2 半導体領域と P N 接合を形成する第 3 半導体領域が形成され、

前記第 2 半導体領域には、前記第 2 領域とその拡散層が P N 接合を形成する複数の第 2 MISFET が形成され、

前記第 3 半導体領域には、前記第 3 領域とその拡散層が P N 接合を形成する複数の第 3 MISFET が形成される半導体装置。

【請求項 11】

請求項 10 に記載の半導体装置において、

前記複数の第 1 と第 2 MISFET のゲート絶縁膜は同じ工程で形成される半導体装置。

【請求項 12】

請求項 10 に記載の半導体装置において、

前記第 2 半導体層は N 型であって、

前記給電領域に印加される電圧は、前記複数の第 1 MISFET に供給される動作電圧よりも高い半導体装置。

【請求項 13】

請求項 10 に記載の半導体装置において、

前記第 1 半導体層にスタティック型メモリセルが形成され、

前記第 2 と第 3 半導体領域に入出力回路が形成される半導体装置。

【請求項 14】

請求項 13 に記載の半導体装置において、

前記第 1 半導体層には更にロジック回路が形成され、

前記第 2 と第 3 半導体領域に更に前記ロジック回路の動作電圧を制御するスイッチ回路

と、アナログ回路とが形成される半導体装置。

【請求項 15】

複数の第1導電型チャネルの第1MISFETと、複数の第2導電型チャネルの第2MISFETとを具備する第1回路部と、

複数の第3MISFETとを具備する第2回路部とが半導体チップに形成された半導体装置であって、

前記半導体チップは一部に絶縁層が埋め込まれた第1導電型半導体基板を有し、

前記半導体基板内には、前記半導体基板とPN接合を形成する第1半導体領域と、前記半導体基板より不純物濃度が高い第2導電型の第2半導体領域が形成され、

前記第1半導体領域内には前記第1半導体領域とPN接合を形成する第3半導体領域が形成され、

前記絶縁層の上の半導体領域には、前記複数の第3MISFETの拡散層が形成され、

前記複数の第1MISFETの拡散層は各々前記第1半導体領域とPN接合を形成し、

前記複数の第2MISFETの拡散層は各々前記第3半導体領域とPN接合を形成し、

前記第2半導体領域に第1電圧が印加される半導体装置。

【請求項 16】

請求項 15 に記載の半導体装置において、

前記第1導電型はN型であって、

前記第1電圧は前記第2回路部の動作電圧よりも高い電圧である半導体装置。

【請求項 17】

請求項 16 に記載の半導体装置において、

前記第2回路部はスタティック型メモリセルを具備し、

前記第1回路部は入出力回路を具備する半導体装置。

【請求項 18】

請求項 17 に記載の半導体装置において、

前記第2回路部は、更にロジック回路とを具備し、

前記第1回路部は、更に前記ロジック回路の動作電圧を制御するスイッチ回路を具備する半導体装置。

【請求項 19】

請求項 18 に記載の半導体装置において、

前記複数の第3MISFETのゲート電極はシリコンゲルマニウムで構成され、

前記複数の第3MISFETのPチャネル型及びNチャネル型MISFETのゲート電極はP型の不純物が注入されている半導体装置。

【請求項 20】

請求項 17 に記載の半導体装置において、

前記半導体基板は絶縁膜を介してシリコン基板同士を貼り合わせた基板より形成されたものであり、

前記第1乃至第4半導体領域は前記貼り合わせられた基板の一部をエッチングで絶縁膜上のシリコン基板及び絶縁膜を除去した領域に形成されたものである半導体装置。

【請求項 21】

請求項 17 に記載の半導体装置において、

前記第1乃至第3MISFETのゲート絶縁膜は同じ工程で形成される半導体装置。

【請求項 22】

請求項 16 に記載の半導体装置は更に前記第1と第2MISFETにより形成される降圧回路を有し、

前記第1電圧は半導体チップの外部から供給される電圧であり、

前記第1電圧は降圧回路に入力され、前記第2回路部の動作電圧は前記降圧回路の出力電圧である半導体装置。

【請求項 23】

ロジック回路と、

前記ロジック回路の動作電圧を制御するスイッチ回路と、
入出力回路とを有し、
バルク部とSOI部を有する半導体基板において、
前記スイッチ回路と前記入出力回路は前記バルク部に形成され、
前記ロジック回路は前記SOI部に形成される半導体装置。

【請求項 24】

請求項 23 に記載の半導体装置は、更にSRAMメモリセルと前記メモリセルの動作電圧を生成する電源回路とを有し、
前記SRAMメモリセルは前記SOI部に形成され、
前記電源回路は前記バルク部に形成される半導体装置。

【請求項 25】

請求項 24 に記載の半導体装置において、
前記SOI部に拡散層が形成されたP型及びN導電型のチャネルを有するMISFETのゲート電極はシリコンゲルマニウムで形成され、P型の不純物が注入され、
前記SOI部の基体にはバルク領域に形成された給電部を介して電圧が印加される半導体装置。

【請求項 26】

第1半導体層と、第2半導体層と、前記第1と第2半導体層との間の絶縁膜とを具備する半導体装置であって、
複数のNチャネル型第1MISFETと、複数のPチャネル型第2MISFETとを具備するロジック回路と、
Nチャネル型第3乃至第6MISFETとPチャネル型第7乃至第8MISFETとを具備するメモリセルとを有し、
前記第1乃至前記第8MISFETの拡散層は各々第1半導体層に形成され、
前記第1乃至前記第8MISFETのゲート電極はシリコンゲルマニウムで形成され、P型の不純物が注入され、
前記第2半導体層には電圧が印加される半導体装置。

【請求項 27】

請求項 26 に記載の半導体装置において、
前記ロジック回路はワード線を駆動するワードドライバ回路と、ビット線対に接続されたセンスアンプ回路とを具備し、
前記第3と第4MISFETのゲートは前記ワード線に接続され、
前記第5と第7MISFETのゲートは前記第6と第8MISFETのドレインと接続され、
前記第6と第8MISFETのゲートは前記第5と第7MISFETのドレインと接続され、
前記第3と第4MISFETのチャネル領域の電位は前記ワード線の電位に応じて変化する半導体装置。

【請求項 28】

請求項 26 に記載の半導体装置において、
前記第2半導体層には前記メモリセルの動作電圧よりも高い電圧が印加される半導体装置。

【請求項 29】

請求項 26 に記載の半導体装置は、前記第2半導体層の一部に絶縁膜と前記第1半導体層が設けられていない第1領域を有し、
前記第1領域には半導体装置外とのデータを入出力する入出力回路が形成されている半導体装置。

【請求項 30】

請求項 28 に記載の半導体装置は、前記第2半導体層の一部に絶縁膜と前記第1半導体層が設けられていない第1領域を有し、

前記第2半導体層はn型であって、前記第2半導体層に印加される電圧は上記第1領域に設けられた給電部を介して印加される半導体装置。

【請求項31】

請求項30に記載の半導体装置において、

前記第1領域には更にメモリセルの動作電圧を生成する電源回路が生成され、

上記電源回路は半導体装置外より入力される電圧を降圧する機能を有する半導体装置。

【請求項32】

第1半導体層と、第2半導体層と、前記第1と第2半導体層との間の絶縁膜とを具備する半導体装置であって、

複数のNチャネル型第1MISFETと、複数のPチャネル型第2MISFETとを具備するロジック回路と、

Nチャネル型第3乃至第6MISFETとPチャネル型第7乃至第8MISFETとを具備するメモリセルとを有し、

前記第1乃至前記第8MISFETの拡散層は各々第1半導体層に形成され、

前記第1と第2MISFETのゲート電極はシリコンゲルマニウムで形成され、P型の不純物が注入され、

前記第3乃至第6MISFETのゲート電極はポリシリコンで形成され、N型の不純物が注入され、

前記第7と第8MISFETのゲート電極はポリシリコンで形成され、P型の不純物が注入され、

前記第2半導体層には電圧が印加される半導体装置。

【請求項33】

請求項32に記載の半導体装置において、

前記ロジック回路はワード線を駆動するワードドライバ回路と、デコーダ回路と、ビット線をプリチャージする回路とを具備し、

前記第3と第4MISFETのゲートは前記ワード線に接続され、

前記第5と第7MISFETのゲートは前記第6と第8MISFETのドレインと接続され、

前記第6と第8MISFETのゲートは前記第5と第7MISFETのドレインと接続され、

前記第3と第4MISFETのチャネル領域の電位は制御され、前記第5乃至第8MISFETのチャネル領域はフローティング状態である半導体装置。

【請求項34】

請求項33に記載の半導体装置において、

前記第2半導体層には前記メモリセルの動作電圧よりも高い電圧が印加される半導体装置。

【請求項35】

請求項34に記載の半導体装置において、

前記第7MISFETのしきい値の絶対値は前記第3MISFETのしきい値より大きい半導体装置。

【請求項36】

請求項31に記載の半導体装置において、

前記第1乃至第8MISFETはいずれもエンハンスメント形MISFETであり、

前記第2半導体層はn型である半導体装置。

【請求項37】

複数のワード線と、

第1と第2ビット線と、

複数のメモリセルとを具備し、

前記複数のメモリセルの各々は、Pチャネル型の第1と第2MISFETと、Nチャネル型の第3と第4MISFETとを具備し、前記第1MISFETのソース・ドレイン経路は前記第1ビット線と

前記第3 MISFETのドレインとの間に形成され、前記第2 MISFETのソース・ドレイン経路は前記第2 ビット線と前記第4 MISFETのドレインとの間に形成され、前記第3と第4 MISFETの入出力は互いに接続され、

前記第1 MISFETが形成される第1 SOI基体に印加される電圧は前記第4 MISFETのドレイン電圧によって制御され、

前記第2 MISFETが形成される第2 SOI基体に印加される電圧は前記第3 MISFETのドレイン電圧によって制御されることを特徴とする半導体装置。

【請求項 38】

請求項 36 に記載の半導体装置において、

前記複数のメモリセルの前記第3 および第4 MISFETは共通の SOI 基体に形成されていることを特徴とする半導体装置。

【請求項 39】

ロジック回路と、前記ロジック回路の動作電圧を制御するスイッチ回路とを有し、前記ロジック回路と前記スイッチ回路を構成するトランジスタが SOI に形成される半導体装置において、

前記スイッチ回路を構成する第1 トランジスタが形成される SOI 基体の電圧が前記第1 トランジスタのゲートに入力される信号で制御されることを特徴とする半導体装置。

【請求項 40】

第1電源と第2電源と、

前記第1電源で駆動される複数の第1 MISFETを具備する第1回路と、

前記第2電源で駆動される複数の第2 MISFETを具備する第2回路とを具備し、

前記第1 MISFETと前記第2 MISFETは共通の SOI 基体に形成されていることを特徴とする半導体装置。

【請求項 41】

請求項 39 に記載の半導体装置において、

前記複数の第1と第2 MISFETのチャネル領域はそれぞれ二つのゲート電極により制御され、その一方は共通の SOI 基体に第1電圧を印加することにより制御されていることを特徴とする半導体装置。

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

本発明は、半導体装置に係り、特にSRAM (Static Random Access Memory) が搭載されるオンチップメモリ、マイクロプロセッサ、あるいはシステムLSIなどに関する。

【背景技術】

【0002】

特許文献1には、スタティック型RAMをSOI構造にするとともに、メモリセルのNチャネルMOSFETが形成されるP型ウエル領域をサブワード線単位で独立に形成し、該P型ウエル領域に、対応するサブワード線が非選択状態とされるとき、比較的低いウエル電圧を印加し、選択状態とされるときは、比較的高いウエル電圧を印加する構成が開示されている。

【0003】

特許文献2には、SOI厚さまたはゲート絶縁膜厚さを変えることによりMOSFETのしきい電圧を制御し、シリコン基体上の絶縁電極に電圧を印加することによりSOI上のしきい値電圧を変化させ、集積回路の低電力動作時には低リーク電流化、高速動作時には大電流化を実現した構成が開示されている。本文献では、金属材料をゲート電極で変えることもしきい値を変える上で有効であることが記載されている。

【0004】

特許文献3には、ロジック部のSOI基板上に形成されたPMOSトランジスタのゲート電極をP型ゲート電極、DRAMに於けるセル部のSOI基板上形成されたPMOSトランジスタのゲート電極をN型ゲート電極で構成する構成が開示されている。

【0005】

特許文献4には、SOI基板からシリコン層及び絶縁層を選択的に除去してシリコン基板を露出させ、露出されたシリコン基板にDRAMメモリセル部を、シリコン層にDRAMのロジック回路を形成する構成が開示されている。メモリセル内のアクセストランジスタのしきい値を高くするため、シリコン基板内のウエルに基板バイアスを印加している。

【0006】

特許文献5には、デバイス構造としてSOI領域とシリコン基板領域を有するDRAMにおいて、メモリセル部をSOI領域に、ロジック回路部および入出力回路部をシリコン基板領域に形成する構成が開示されている。

【0007】

【特許文献1】特開2001-53168号公報

【0008】

【特許文献2】特開平7-106579号公報

【特許文献3】特開2001-36037号公報

【特許文献4】特開平10-303385号公報

【特許文献5】特開平8-213562号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

本願発明者等は、本願に先立って半導体装置の微細化及び低電圧化が進んだときに、特にSRAMを搭載させた半導体装置において問題となる事項の検討を行った。

【0010】

LSIのシステムでは、低リーク・低電力動作がますます重要となっており、プロセッサの内部電圧は低電圧化が進む。プロセッサに搭載されるSRAMメモリも、今後0.2V~0.6V程度までの低電圧動作が要求される。低電圧になると書込動作・読み出し動作のための動作マージンが減少し、さらに0.08 μ m以降のバルクシリコンを使った半導体装置ではしきい値ばらつきの影響が顕著となるため、SRAMセルを安定動作させることが困難となる。また、リーク電流増大を防ぐためしきい値を下げることができず、低電圧での動作速

度が劣化する。さらにソフトエラー耐性の劣化も顕著となる。

【0011】

SOI (Semiconductor On Insulator)、特に完全空乏型 (Full Depletion Type) SOI 基板では、バルクシリコンで深刻なインプラの揺らぎによるしきい値ばらつきが低減できるため、低電圧での安定動作が可能となる。また、トランジスタのサブスレッショルド係数が小さいため、しきい値を下げて、リーク電流は増大せず、低電圧での高速動作が可能になる。さらに電荷が発生するチャンネル領域が小さいのでソフトエラー耐性も向上できる。このため、SOI 基板はバルクシリコンの問題を解決できる次世代技術として期待されている。

【0012】

一方、完全空乏型 SOI ではトランジスタのしきい値は、最適なしきい値のMISFETを形成するのが困難である。例えば、図13に示すように、300MHz以上の高速性が追求されているSRAM(HIGH SPEED)ではメモリセル部でP型MISFETのしきい値 V_T が $-0.5 \sim -0.3$ V、N型MISFETのしきい値 V_T が $0.2 \sim 0.4$ V程度、ロジック部でP型MISFETのしきい値 V_T が $-0.3 \sim -0.1$ V、N型MISFETのしきい値 V_T が $0.1 \sim 0.3$ V程度、求められている。100MHz~300MHzの標準的なSRAM(STANDARD)、低電力を要求する100MHz以下のSRAM(LOW POWER)でも同様に、動作に最適な所定のしきい値を有するMISFETが必要となる。しかしながら、図14に示すように通常用いられているポリシリコンでP型の不純物が注入されたゲート電極のPチャンネル型MISFET、ポリシリコンでN型の不純物が注入されたゲート電極のNチャンネル型MISFETでは、しきい値では動作に必要なしきい値のMISFETを形成することができない。バルク上に形成されたMISFETでは、チャンネル領域の不純物濃度により、容易にしきい値を制御することができるのであるが、SOIではチャンネル領域の不純物濃度のみならず、酸化膜厚、チャンネル長と幅の比を変えても、しきい値が変化しにくいという問題がある。

【0013】

また、バルク上で形成されたMISFETは基板電位を電源電位又は接地電位と接続しているのに対し、SOIではチャンネル形成領域の電位が制御されず、フローティング状態となっているためノイズに弱いという問題がある。SOIにおいてもチャンネル形成領域を制御すればよいが、同導電型MISFETでも、チャンネル領域は分離されているため、MISFET毎に給電部が必要となり、面積の増大を招くことになる。

【0014】

そこで、本願発明の第1課題はSOI基板を用いた半導体装置において、回路動作上要求されるしきい値のMISFETを提供することである。第2課題の課題は、面積の増大を抑えつつ、安定した動作を保証するSOI基板を用いたSRAMメモリ搭載の半導体装置を提供することにある。

【課題を解決するための手段】

【0015】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0016】

SRAMメモリセルにおいて、駆動MISFETのチャンネル形成領域はフローティング状態とし、転送MISFETのチャンネル形成領域を制御する。その際に、転送MISFETにチャンネル形成領域とゲート電極とを接続するDTMOSを用いると、該メモリセルを選択した時に、高速に読み出すことが可能となる。

【0017】

SOI基体の絶縁層下の半導体層に半導体層より不純物濃度の高い給電部を設け、該給電部に電圧を印加することによりSOI基体内に形成された素子のしきい値を調整する。

【0018】

ハイブリッド基板においては、給電部及び入出力回路、アナログ回路、SOI内に形成される回路の動作電圧を制御するスイッチ回路をバルク部に、SRAMメモリセル、ロジック回

路をSOI部に形成する。

【0019】

ハイブリッド基板及びバルク部を有さないSOI基板において、SOI基体の絶縁層下の半導体層への電圧の印加、ゲート電極材料、ゲート電極へ注入される不純物の導電型の条件を変えることにより、半導体装置の要求するしきい値のMISFETを形成する。

【0020】

SOIに形成された4TSRAMメモリセルにおいて、ワード線にゲートが接続され、ソース・ドレイン経路がビット線対の一方と2つの駆動トランジスタの一方のドレインとの間に接続されたトランジスタのチャネル領域を、2つの駆動トランジスタの他方の出力で制御する。

【0021】

ロジック回路の電源スイッチにSOIに形成されたMISFETを用い、かつそのチャネル領域を制御する2つのゲートを同じ電圧で制御する。つまり、SOIに形成されたDTMOSを用いて電源スイッチを構成する。

【0022】

複数の電源系で構成される回路内のトランジスタを共通のSOI基体内に形成する。

【発明の効果】

【0023】

本発明によれば、SOI基板を使って回路毎に最適なしきい値を得ることができ、SOI基板の特性を最大限に利用することが可能となる。

【発明を実施するための最良の形態】

【0024】

以下、本発明に係わる半導体記憶装置の好適ないくつかの事例につき、図面を用いて説明する。

【0025】

＜第1の実施の形態＞

図1は、本発明に係わる半導体装置の一実施例を示す回路図である。半導体装置であるSRAMメモリセルを搭載したチップ10は、半導体集積回路の一部を示していて、少なくともメモリアレイ111がSOI (Semiconductor On Insulator) 基体に形成された半導体基板101に形成される。

【0026】

メモリアレイ111には、複数のビット線(BT、BB)と、複数のワード線(WL)との交点に配置された複数のSRAMメモリセル(CELL)がマトリックス状(行列状)に配置されている。制御回路13はデコーダ回路、ワードドライバ回路を具備し、アドレス信号ADDの入力によりデコーダ回路でアドレス信号がデコードされ、それに基づいてワードドライバ回路により、複数のワード線(WL)の一本が選択される。また、制御回路117によりプリチャージ・イコライズ回路制御信号EQ、読み出し用Yスイッチ制御信号YSR、書き込み用Yスイッチ制御信号YSW、センスアンプ制御信号SAが生成され、各回路に出力される。ビット線には、センスアンプ回路(107、108)、プリチャージ・イコライズ回路(103、104)およびYスイッチ回路(105、106)が接続され、データ入出力回路(15)を介して、外部からの書き込みデータ(DIN)と、外部への読み出しデータ(DOUT)が処理される。データ入出力回路(15)は、入出力バッファ回路及びライトアンプ回路を具備する。

【0027】

次に図2の動作波形を用いて読み出し動作および書き込み動作について説明する。図2の第1サイクル目が読み出し動作(READ OP)を、第2サイクル目が書き込み動作(WRITE OP)を示している。読み出し動作は、アドレスあるいはクロックが入力されると、制御回路13内のデコーダ回路によりデコードされ、ワード線WLが選択される。同時にプリチャージ・イコライズ信号EQは“L”(“LOW”レベル)から“H”(“HIGH”レベル)になり、読み出し用Yスイッチ制御信号YSRは“H”から“L”に遷移する。

これによりビット線 (BT、BB) に微小電位差が生じ、制御信号 SA でセンスアンプ (107、108) を活性化することにより微小電位差を増幅してデータをデータ入出力回路 (10) に送り、読み出しデータが出力バッファを介して外部出力 DOUT に現れる。

【0028】

書き込み動作は、アドレスあるいはクロックが入力されると、制御回路 115 内のデコード回路によりデコードされ、ワード線 WL が選択される。同時にプリチャージ・イコライズ信号 EQ は “L” から “H” になり、書き込み用 Y スイッチ制御信号 YSW は “L” から “H” に遷移する。同時に外部入力 DIN のデータが入力バッファ回路とライトアンプを介して、ビット線 (BT、BB) に入力されデータがメモリセルに書き込まれる。

【0029】

図 3 は、図 1 のメモリセルアレイ 111 内の複数のスタティック型メモリセルの一つを示したものであり、SOI 基体に形成される。図 4 は図 3 に用いられている素子 (MP1、MP2、MN1、MN2、DTMN1、DTMN2) の断面概念図である。

【0030】

メモリセル (DCCELL) は、1 対の CMOS インバータの入力と出力が互いに接続されて構成されるフリップ・フロップ (負荷 P チャネル型 MISFET (MP1、MP2)、駆動 N チャネル型 MISFET (MN1、MN2) で構成される) と、前記フリップ・フロップの記憶ノード NL20 と記憶ノード NR20 とをビット線 (BT、BB) に選択的に接続する転送 N チャネル型 MISFET (DTMN1、DTMN2) で構成される。SOI では図 4 に示すように、第 1 単結晶シリコン層と第 2 単結晶シリコン層 (210) との間に絶縁層 208 が配置され、第 1 シリコン層内に MISFET のチャネル形成層 (209) 及び拡散層 (207、206) が形成される。拡散層 (207) には N 型の不純物が注入され、拡散層 (206) には P 型の不純物が注入されている。P チャネル型 MISFET (MP1、MP2) と、N チャネル型 MISFET (MN1、MN2) のチャネルが形成される領域 (209) は電圧が供給される配線とは接続されず、フローティング状態、N チャネル型 MISFET (DTMN1、DTMN2) のチャネルが形成される領域 (209) は電圧が供給される配線と接続され、電位が制御されている。SOI に素子を形成する場合、図 4 に示すように素子はそれぞれ分離されて形成され、通常素子形成領域の電位は制御されておらず、フローティング状態となっている。バルク上に形成された素子は同導電型のものは共通のウェルに形成され、ウェル電位は P チャネル型 MISFET が形成されている場合は最高の動作電位である電源電位 VDD、N チャネル型 MISFET が形成されている場合は最低の動作電位である接地電位 VSS に制御されているのに対し、SOI では素子がそれぞれ絶縁分離されているため、素子形成領域の電位をそれぞれ制御するのは面積の制約上困難である。しかし、メモリセル内の素子の素子形成領域がフローティング状態では、駆動されるビット線に接続されたメモリセルのうち、非選択のワード線に選択されたメモリセルにノイズが伝達しやすい。このため、N チャネル型 MISFET (DTMN1、DTMN2) のチャネルが形成される領域に電圧が供給される配線を接続し、少なくとも非選択のワード線に接続されたメモリセルに対しては接地電位などの低い電位を供給する。

【0031】

電圧が供給される配線に回路の動作電位のうちの低い電位 (0 V) を固定で、ワード線が選択時及び非選択時にも供給することも可能であるが、図 4 に示すように、N チャネル型 DTMISFET (DTMN1、DTMN2) のゲート電極とチャネル領域をそれぞれ接続することが有効となる。ゲートとチャネル領域を接続した MISFET は DT (Dynamic Threshold) MOS とよばれ、しきい値を動的に変えるという特徴を有するが、これにより N チャネル型 DTMISFET (DTMN1、DTMN2) のチャネル形成領域には、ワード線 WL に供給される電圧に応じた電位を供給することができる。非選択時にはワード線に接続されている N チャネル型 DTMISFET (DTMN1、DTMN2) は常にオフ状態のため、チャネルは低い電圧 (接地電位) が供給され、チャネル領域がフローティングでなくなり、リーク電流を低減することができる。また、選択時には、チャネル電位は “H” になり、しきい値が下がるため、メモリセル電流が増大して高速動作が可能となる。また、ゲート

絶縁膜の一部を除去し、Nチャネル型MISFET (MN1、MN2) のチャネル形成領域をゲート電極の配線と導通させることは、チャネル形成領域と固定の電源配線(接地線)を接続させるより、製造工程が簡易になるという効果も有する。

【0032】

本実施例では、Pチャネル型MISFET (MP1、MP2) のソース・ドレイン領域は第1シリコン層内に形成され、電流が流れるソース・ドレイン経路は基板と水平方向で、横型MISFETとなっているが、半導体基板の主面に垂直な方向に延在する積層体に形成されたソース、チャネル領域およびドレインと、積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有しする縦型MISFETを使用しても良い。負荷としても用いる縦型MISFETはSOI内に形成された転送・駆動N型MISFETと接続するため、その上に形成される。Pチャネル型MISFETをSOI上に形成することにより、メモリアレイの面積を低減することができる。縦型MISFETでも、チャネル領域はフローティング状態で、電位を供給する配線と接続されていない。チャネル領域とゲート電極は接続されていないことにより、接続した場合において問題となるリーク電流の増大、Pチャネル型MISFET (MP1、MP2) のソース・ドレイン間の動作電圧をダイオード電位以下にしなければならない制約から逃れることができる。

【0033】

Nチャネル型MISFET (MN1、MN2) においても同様、チャネル形成領域とゲート電極を接続せずフローティング状態にすることにより、接続した場合において問題となるリーク電流の増大、Nチャネル型MISFET (MN1、MN2) のソース・ドレイン間の動作電位をダイオード電位以下にしなければならない制約から逃れることができる。

【0034】

<第2の実施の形態>

第1の実施の形態ではSOIに形成されるSRAMメモリセル内の素子形成領域がフローティング状態になることによる問題を解決する一例を示したが、本実施例では、特に完全空乏型SOI (FD SOI) において、しきい値の設定の問題を解決する一例を示す。図13に示すように、今後のSRAMメモリセルを搭載した半導体装置は、300MHz以上の高速性が追求されているSRAM(HIGH SPEED)ではメモリセル部でP型MISFETのしきい値 V_T が $-0.5 \sim -0.3$ V、N型MISFETのしきい値 V_T が $0.2 \sim 0.4$ V程度、ロジック部でP型MISFETのしきい値 V_T が $-0.3 \sim -0.1$ V、N型MISFETのしきい値 V_T が $0.1 \sim 0.3$ V程度、求められている。100MHz \sim 300MHzの標準的なSRAM(STANDARD)ではメモリセル部でP型MISFETのしきい値 V_T が $-0.1 \sim -0.8$ V、N型MISFETのしきい値 V_T が $0.4 \sim 0.6$ V程度、ロジック部でP型MISFETのしきい値 V_T が $-0.4 \sim -0.2$ V、N型MISFETのしきい値 V_T が $0.2 \sim 0.4$ V程度、低電力を要求する100MHz以下のSRAM(LOW POWER)ではメモリセル部とロジック部でP型MISFETのしきい値 V_T が $-0.9 \sim -0.7$ V、N型MISFETのしきい値 V_T が $0.7 \sim 0.9$ V程度、求められている。特徴としてリーク電流の削減のため、いずれもゲート・ソース間に0Vの電位が供給された時に電流が流れないエンハスメントMISFETが必要となる。ロジック部においてはP型N型でしきい値の絶対値の大きさは等しくなるように、SRAMメモリセル部ではN型で駆動能力を上げ、P型でリーク電流を抑えるために、P型がN型よりしきい値の絶対値が等しいか大きくなるようにする設計する。そのようにした上で、低電力型(LOW POWER)では相対的にしきい値を大きく、高速型(HIGH SPEED)では相対的にしきい値を小さく、標準型(STANDARD)では、低電力と高速性のバランスが重視されるためにP型とN型それぞれ、2種類のしきい値が用意できるのが望ましい。一方図14に示すように、通常用いられているポリシリコンでP型の不純物が注入されたゲート電極のPチャネル型MISFET、ポリシリコンでN型の不純物が注入されたゲート電極のNチャネル型MISFETでは、しきい値では動作に必要なしきい値のMISFETを形成することができない。そこで、発明者等の試作の結果、図12に示す基板の種類(SUB)、ゲート材料(GATEMAT)、ゲート電極へ注入する不純物の導電型(GATEIMP)、SOI基体への基板バイアスの印加(SOIVBB)を組み合わせることにより、所望のしきい値をSRAMメモリセル部(SRAM)とロジック部(LOGIC)

で実現できることが可能となった。SOI基体(SOI)のみでバルク(BULK)を有さないSOI基板(SOISUB)におけるしきい値の設定方法は上に、SOI基体(SOI)とバルク(BULK)を有するハイブリッド基板(HYBRIDSUB)におけるしきい値の設定方法は下に表している。バルク部を有する場合は、しきい値はチャネル領域への不純物の注入量によりしきい値を制御できるため、ゲート材料(GATEMAT)、ゲート電極へ注入する不純物の導電型(GATEIMP)は任意に選択でき、しきい値の値も任意に設定することができる。表において、ゲート電極へ注入する不純物の導電型(GATEIMP)で、Pと記載されたものは、P型不純物であるフッ化ボロン(BF₂)等をイオン注入したもので、Nと記載されたものは、N型不純物であるリン(P)、砒素(As)等をイオン注入したものである。VERTICALMOSと記載されたものは、実施例1で述べた縦型MISFETを用いるもので、これにより面積を低減するとともにSOI上で要求されるしきい値の種類を減らすことができ、設計の自由度が増える。

【0035】

本実施例では、SOI部とバルク部を有するハイブリッド基板を用いた場合にSRAMメモリセルを搭載したLSIに好適なしきい値のMISFETの形成方法について説明する。SOI基板でバルク部をもたないものに比べ製造工程は複雑となるが、動作の安定性を確保することができる。尚、半導体装置においては、実施例1のフローティング対策を行ったSRAMと本実施例以下の実施例を組み合わせることも非常に有効となる。

【0036】

図5は、ハイブリッド基板を用いた場合の半導体装置300の一例を示すブロック図である。完全空乏型SOI基体308上には、SRAMメモリアレイ303、メモリ制御回路304、CPU回路305、バスコントロール回路306が形成されている。SOI基板の外側のバルクシリコン領域309には、アナログ回路301、メモリ制御回路等の動作電圧を制御する電源スイッチ回路302、入出力回路307、SOI基体に電圧を印加する給電部400が形成されている。SOI基体に電圧を印加する給電部400は、SOIに形成された素子に基板バイアスを印加し、素子のしきい値V_Tを変えるものであるが、SOI基体自身に電圧を印加することにより、素子のチャネル形成領域を個別に制御する必要がなくなる。印加される電圧を均一にSOI基体にかけるため、SOI基体領域を囲むようにリング状に形成している。つまり、バルク領域の中でSOI基体と隣接して設けられている。また、バルク状に形成することにより、バルク状に形成される素子に用いられるプロセスを利用して容易に給電部を形成することができる。アナログ回路301はSRAMメモリセルの動作電圧を生成する降圧回路を具備する電源回路、クロック発生回路(PLL回路)等で構成される。

【0037】

完全空乏型SOI領域308に形成されているSRAMメモリアレイ303やバスコントロール回路306、およびCPU回路305の中でクリティカルパス以外で使用されているPチャネル型MISFETのゲート電極は、N型のポリシリコンで形成され、Nチャネル型MISFETのゲート電極はP型のポリシリコンで形成されている。また、完全空乏型SOI領域308に形成されているメモリ制御回路304やCPU回路305内のクリティカルパスで使用される、Pチャネル型MISFETおよびNチャネル型MISFETのゲート電極はP型のシリコンゲルマニウムで形成される。完全空乏型SOI領域309の埋め込み酸化膜の下にシリコン基板に、例えば3Vの電圧が印加された場合、SRAMメモリアレイ303やバスコントロール回路306、およびCPU回路305の中でクリティカルパス以外で使用されているPチャネル型MISFETのしきい値を-1.0Vに、Nチャネル型MISFETのしきい値を0.6Vに、また、メモリ制御回路304やCPU回路305内のクリティカルパスで使用される、Pチャネル型MISFETのしきい値を-0.3Vに、Nチャネル型MISFETのしきい値を0.3Vに設定することができる。

【0038】

アナログ回路301、電源スイッチ回路302、入出力回路307は、バルクシリコン領域309に形成され、チャネル不純物の量によってしきい値は任意に設定される。

【0039】

以上により、SOI上にSRAMおよび周辺回路、論理回路を形成しても回路毎に最適なしきい値を設定できるため、性能が劣化せず、SOIの特性を最大限に利用することができ、従来バルクシリコン上に形成されたSRAMに比べて、SRAMセルの低電圧での安定動作、同一リーク電流での高速動作、ソフトエラー耐性の向上が可能となる。

【0040】

上記半導体チップ300のうち、特に汎用SRAMメモリ内に存在する、メモリセルアレイ303、メモリセル制御回路304、入出力回路307、及び電源スイッチ回路302を詳細に示したものを図6に示す。SRAMチップ11は、半導体集積回路の一部を示しており、完全空乏型SOI領域101とバルクシリコン領域102が共存するハイブリット半導体基板に形成される。図6ではバルクに形成されているMISFETの基板電位を回路の動作電位の高電位または低電位に接続して記した。

【0041】

複数のSRAMメモリセル(CELL00、CELL01、CELL10、CELL11)がマトリックス状(行列状)に配置され、メモリアレイ111を構成する。メモリアレイ111は完全空乏型SOI領域101上に形成される。

【0042】

メモリセルCELL00は、1対のCMOSインバータの入力と出力が互いに接続されて構成されるフリップ・フロップ(Pチャネル型MISFET(MP1、MP2)、Nチャネル型トランジスタ(MN1、MN2)で構成される)と、前記フリップ・フロップの記憶ノードNL0と記憶ノードNR0とをビット線(BT0、BB0)に選択的に接続するNチャネル型MISFET(MN3、MN4)とで構成される。Nチャネル型MISFET(MN3、MN4)のゲート電極には、ワード線WL0が接続される。

【0043】

メモリセルCELL10は、1対のCMOSインバータの入力と出力が互いに接続されて構成されるフリップ・フロップ(Pチャネル型MISFET(MP3、MP4)、Nチャネル型トランジスタ(MN5、MN6)で構成される)と、前記フリップ・フロップの記憶ノードNL1と記憶ノードNR1とをビット線(BT1、BB1)に選択的に接続するNチャネル型MISFET(MN7、MN8)とで構成される。Nチャネル型MISFET(MN7、MN8)のゲート電極には、ワード線WL0が接続される。メモリセルは、実施例1でも用いたメモリセル(DCELL)をも用いることにより、非選択のワード線へのノイズを抑制することができる。

【0044】

また、センスアンプ回路(107、108)とライトアンプ回路(109、110)とプリチャージ・イコライズ回路(103、104)およびYスイッチ回路(105、106)からなるカラム回路が列状に並んでいる。

【0045】

制御信号(SA、YSW、YSR、EQ)をコントロールするコントロール回路116およびワード線(WL0、WL1)をデコードするワードデコーダ・ドライバ回路115が配置される。以上の回路はすべてSOI基板101に形成される。

【0046】

コントロール回路116およびワードデコーダ・ドライバ回路115の動作電圧を供給する電源線VDDIは、電源スイッチ119を介して電源電位VDDに接続される。電源スイッチ119はPチャネル型MISFET19を用いて構成され、ゲート電極には制御信号PSWが接続される。電源スイッチ119はメモリ制御回路等の電圧を制御するが、Pチャネル型MISFETでなく、接地電位VSSと接続したNチャネル型MISFET及びPとNチャネル型MISFET両方を電源線との間に設けることも有効である。

【0047】

入力回路120は外部からの書き込みデータDIN0を駆動してDW0としてライトアンプ回路109に入力する回路であり、Pチャネル型MISFETMP20とNチャネル型MISF

ETMN 20より構成される。

【0048】

入力回路122は外部からの書き込みデータDIN1を駆動してDW1としてライトアップ回路110に inputsする回路であり、Pチャネル型MISFETMP22とNチャネル型MISFETMN22より構成される。

【0049】

出力回路121はセンスアップ回路の出力信号DR0を駆動してDOU T0として外部へ出力する回路であり、Pチャネル型MISFETMP21とNチャネル型MISFETMN21より構成される。

【0050】

出力回路123はセンスアップ回路の出力信号DR1を駆動してDOU T1として外部へ出力する回路であり、Pチャネル型MISFETMP23とNチャネル型MISFETMN23より構成される。電源スイッチ回路119および入力回路(120、122)、出力回路(121、123)はバルクシリコン領域102に形成される。

【0051】

読み出しおよび書き込み動作は第1の実施の形態で示した動作と同様である。

【0052】

図7は本実施例において使用される素子の断面概要図を示している。半導体基板210は、完全空乏型SOI領域217とバルクシリコン領域224より構成される。SIMOX(Separation By Implanted Oxygen)法によれば、SOI基体の素子形成領域下の埋め込み絶縁膜は部分的な酸素注入により半導体基板の一部に形成されるため、本図のようにバルク部224とSOI部217の表面が同じ高さで、バルク上に形成されたMISFETとSOIに形成されたMISFETのゲート絶縁膜204等を同じ工程で製造することができる。但し、この方法では、SOI部とバルク部の領域を酸素注入工程で確定させる必要がある。一方、第1と第2半導体基板を絶縁膜を介して貼り付けてSOIを形成する場合(Wafer Bonding)は、バルク部は、第1半導体基板と絶縁膜の一部をエッチングにより除去し、第2半導体基板が露出した表面に素子を形成するため、SOI部とバルク部の表面の高さが異なり、バルク上に形成されたMISFETとSOIに形成されたMISFETのゲート絶縁膜204等を同じ工程で製造することはできないが、エッチング工程によりバルク部とSOI部をわけるため、SOI基板の汎用性がよいという効果を有する。

【0053】

SOI領域217では、Nチャネル型MISFET215とPチャネル型MISFET214の拡散層206、207が、埋め込み酸化膜208上のシリコン層に形成され、フィールド酸化膜205によってSOI基体部に形成されるMISFETは同導電型であっても互いに分離される。バルクシリコン領域224では、半導体基板210と同導電型で不純物濃度の高い給電領域211と、半導体基板とPN接合を形成するP型ウエル半導体領域220が形成され、P型半導体領域220内には該領域とPN接合を形成するN型ウエル半導体領域221が形成される。P型半導体領域220には、該半導体領域に電位Vbb2(回路内の低い動作電圧、接地電位)を供給し、P型半導体領域220の不純物濃度より高く同導電型の給電部231及び、P型半導体領域220とPN接合を形成するNチャネルMISFET222のN型の拡散層230が形成される。N型半導体領域221には、該半導体領域に電位Vbb3(回路内の高い動作電圧)を供給し、N型半導体領域221の不純物濃度より高く同導電型の給電部241及び、N半導体領域221とPN接合を形成するPチャネル型MISFET223のP型の拡散層231が形成される。本構成を用いることにより、SOI基体に形成されたMISFETの素子のしきい値を簡易に変化させることができる。SOI基体に電圧を印加してSOI基体に形成されたMISFETのしきい値を変化させるには、そのバルク上に形成される回路の動作電圧よりも大きな電圧(例えば、3V)の電圧を印加する必要がある。また、P型、N型で分けると制御が困難になるため、本構成では単一の電源により制御を簡易にするとともに、バルク上に給電領域221を設けた。負電圧をVbb1に印加する場合は、導電型が上記と反対になり、半導体基板210も通常使われるP

型を利用することができるが、負電圧は生成しにくいいため、本構成では基板 210 を N 型とし、正電圧を印加する。この電圧は内部の回路よりも大きい電圧であるため、半導体チップ外より入力される電圧を直接印加し、降圧回路等の電源回路にその入力電圧を入力させ、その出力電圧を内部の回路に用いることもできる。尚、半導体基板 210 を N 型とすることによりバルク部のウエル間で寄生ダイオードが発生し、リークが流れることもない。即ち、半導体基板を P 型とし、V_{bb1} に 3 V 程度の電圧を印加し、N 型半導体領域 220 のウエル電位を回路の最高電位である 1 V 程度にすると、基板 210 から N 型半導体領域 220 にダイオードが形成され、素子が動作しなくなる。この際ウエル電位を 3 V 程度にするとダイオードは形成されないが、ウエル内の素子に基板バイアスが印加され、しきい値が大きくなるとともに、GIDL 電流を誘発する恐れがある。

【0054】

SOI 基体に電圧を印加する給電部 211 は、基体へ均一に電圧を印加するため、SOI 部を囲むようにリング状に形成する。

【0055】

バルクシリコン上に N チャネル型 MISFET 222 と P チャネル型 MISFET 223 が形成される。

【0056】

完全空乏型 SOI 領域 217 には、メモリセル CELL およびセンスアンプ回路 (107、108)、ライトアンプ回路 (109、110)、プリチャージ・イコライズ回路 (103、104)、Y スイッチ回路 (105、106)、コントロール回路 116、ワードデコーダ・ドライバ回路 115 が形成される。バルクシリコン領域 224 には、電源スイッチ回路 119 および入力回路 (120、122)、出力回路 (121、123) が形成される。電源スイッチ回路 119 は動作電圧を制御する対象となる回路の近傍に置くことにより、スイッチの応答をよくすることも考えられるが、SOI 上で製造するとフローティング状態となり、回路内のリーク電流を抑制することは難しい。そこで、本構成では、各回路の電源スイッチ部をバルク上に形成し、まとめた領域に形成した。

【0057】

P チャネル型 MISFET 214 は、チャネル領域 209、および P 型拡散層 206 で形成されるソース・ドレイン電極、ゲート酸化膜 204、P 型の不純物が注入されたシリコンゲルマニウム 203 で形成されるゲート電極で構成される。

【0058】

N チャネル型 MISFET 215 は、チャネル領域 209、および N 型拡散層 207 で形成されるソース・ドレイン電極、ゲート酸化膜 204、P 型の不純物が注入されたシリコンゲルマニウム 203 で形成されるゲート電極で構成される。

【0059】

P チャネル型 MISFET 223 は、N ウエル領域 221、および P 型拡散層 235 で形成されるソース・ドレイン電極、ゲート酸化膜 204、ゲート電極 202 で構成される。

【0060】

N チャネル型 MISFET 222 は、P ウエル領域 220、および N 型拡散層 230 で形成されるソース・ドレイン電極、ゲート酸化膜 204、ゲート電極 202 で構成される。

【0061】

P チャネル型 MISFET 223 と N チャネル型 MISFET 222 はバルク上に形成されているため、しきい値は拡散層の不純物濃度を調整することにより任意に形成でき、ゲート電極材料及びゲート電極に注入される不純物の導電型に制約はない。製造工程の簡略化のために、SOI 上の MISFET と同様、ゲート電極にシリコンゲルマニウムに用い、かつ特性面から P チャネル型 MISFET のゲート電極には P 型不純物を注入し、N チャネル型 MISFET のゲート電極には N 型不純物を注入することが有効である。

【0062】

シリコン基板 210 のバルク部に給電部 211 を設け端子より電圧 (たとえば 3 V) を印加することにより、完全空乏型 SOI 領域 217 に形成される P チャネル型 MISFET のし

きい値を -0.3 V に、Nチャネル型MISFETのしきい値を 0.3 V にすることができる。バルクシリコン領域では、Nウェル領域221の電位を固定するためにウェル給電部241に電源電位たとえば 1 V に、Pウェル領域220の電位を固定するためにウェル給電部231に接地電位 0 V を供給することにより、 V_{bb1} より印加される電圧によってしきい値が変化することはない。

【0063】

これにより周辺回路およびメモリセルは低しきい値のため高速での動作が可能となり、電源スイッチは高しきい値のため、リークが低減でき、スタンバイ電流を低減することが可能となる。

【0064】

以上により、SOIとバルクシリコンのハイブリッド基板にSRAMおよび周辺回路を形成して、回路毎に最適なしきい値を設定することにより、性能が劣化せず、SOIの特性を最大限に利用することができる。従来バルクシリコン上に形成されたSRAMに比べて、SRAMセルの低電圧での安定動作、同一リーク電流での高速動作、ソフトエラー耐性の向上が可能となる。

【0065】

図8は、SRAMメモリアレイ303のみにSOI基板308を使用した変形例である。ロジック部の高速動作のためには、メモリ制御回路311、バスコントロール回路313及びCPU312をSOI基体形成することが望ましい。しかし、2種類のしきい値を形成するために、ゲート電極材料を変える必要があり、製造工程が複雑となる。そこで、本変形例では、バルク状にメモリ制御回路311、バスコントロール回路313及びCPU312、SOI基体に電圧を印加する給電部400を形成し、拡散層へ注入する不純物量により任意のしきい値を実現させている。本変形例ではSOI基体に電圧を印加する給電部400はメモリセルアレイ303を囲んで形成されるリング状に形成される。

【0066】

<第3の実施の形態>

本実施例では、ハイブリッド基板ではなく、バルク部を有さないSOI基板によりSRAMメモリセルを搭載させた半導体装置の実現方法について説明する。これによりハイブリッド基板に比べ、製造工程が簡易化される。図9は、図8のブロック図内の構成される回路すべてをSOI基板308に形成した場合である。

【0067】

半導体チップ320のうち、特に汎用SRAMメモリ内に存在する、メモリセルアレイ303、メモリセル制御回路304、入出力回路307、及び電源スイッチ回路302を詳細に示したものを図10に示す。半導体装置であるSRAMチップ12は、半導体集積回路の一部を示しており、完全空乏型SOI基板101のような半導体基板に形成される。回路構成は実施例2の図6と同じであるが、用いられているMISFETが異なっている。読み出し・書き込み動作は第1の実施の形態と同様である。図10においてゲート部分が厚く記されているMISFETのゲート電極はポリシリコン、ゲート部分が薄く記されているMISFETのゲート電極はシリコンゲルマニウムで形成されている。

【0068】

メモリセルCELLを構成しているPチャネル型MISFET(MP31~34)のゲート電極はN型のポリシリコンで形成され、Nチャネル型MISFET(MN31~38)のゲート電極はP型のポリシリコンで形成されている。また、電源スイッチを構成しているPチャネル型MISFET(MP119)のゲート電極もN型のポリシリコンで形成される。それ以外の回路では、Pチャネル型MISFETおよびNチャネル型MISFETのゲート電極はP型のシリコンゲルマニウムで形成されている。

【0069】

図11は本実施例で適用されるMISFETの断面概要図を示している。MISFETはシリコン基板210上にある埋め込み酸化膜208上のシリコン層に形成され、素子は互いにフィールド酸化膜205によって分離されている。領域216はSRAMメモリセルCE

L L および電源スイッチ 139 が形成される領域であり、P チャンネル型 MISFET 212 と N チャンネル型 MISFET 213 が形成されている。領域 217 は S R A M メモリセル C E L L 以外の回路 (図 10 でゲート部分が薄く記載されている M I S F E T を有する回路) が形成されている領域であり、P チャンネル型 MISFET 214 と N チャンネル型 MISFET 215 が形成されている。

【0070】

P チャンネル型 MISFET 212 は、チャンネル領域 209、および P 型拡散層 206 で形成されるソース・ドレイン電極、ゲート酸化膜 204、N 型ポリシリコン 201 で形成されるゲート電極で構成される。N チャンネル型 MISFET 213 は、チャンネル領域 209、および N 型拡散層 207 で形成されるソース・ドレイン電極、ゲート酸化膜 204、P 型ポリシリコン 202 で形成されるゲート電極で構成される。

【0071】

P チャンネル型 MISFET 214 は、チャンネル領域 209、および P 型拡散層 206 で形成されるソース・ドレイン電極、ゲート酸化膜 204、P 型シリコンゲルマニウム 203 で形成されるゲート電極で構成される。N チャンネル型 MISFET 215 は、チャンネル領域 209、および N 型拡散層 207 で形成されるソース・ドレイン電極、ゲート酸化膜 204、P 型シリコンゲルマニウム 203 で形成されるゲート電極で構成される。

【0072】

シリコン基板 210 に電源端子 211 より電圧 (たとえば 3 V) を印加することにより、領域 216 に形成される P チャンネル型 MISFET のしきい値を -1.0 V に、N チャンネル型 MISFET のしきい値を 0.6 V に、また、領域 217 に形成される P チャンネル型 MISFET のしきい値を -0.3 V に、N チャンネル型 MISFET のしきい値を 0.3 V にすることができる。尚、基板の素子領域が形成されている表面側から給電する場合には、S O I に形成された回路と電圧を変換できたり、B G A (B a l l G r i d A r r a y) 等一面にしかパッドが形成できないパッケージを利用した場合に製造が容易となる。リードフレームのあるパッケージを利用した場合には、電圧を裏面から供給し、チップ外から電圧を直接印加することも可能である。

【0073】

これにより周辺回路は低しきい値のため高速での動作が可能となり、メモリセル C E L L は高しきい値のため低リークでのデータ保持が可能となる。また、電源スイッチ M P 119 も高しきい値のため、リークが低減でき、スタンバイ電流を低減することが可能となる。

【0074】

< 第 4 の実施の形態 >

今までの実施例において、静的なしきい値を制御する方法として、S O I 基板へ基板バイアス電圧を印加する点について述べたが、本実施例では、トランジスタのしきい値を動作状態によって変化させる動的なしきい値の制御方法を S O I で実現する方法について述べる。

【0075】

図 15 は S O I 基板にて基板バイアスを行って動的にしきい値制御を行う場合の構成 (ELE) および効果について説明したものである。

【0076】

バックバイアス (V_{bbb}) は、n チャンネル型トランジスタでは、基板にソース電位よりも低い電圧を、p チャンネル型トランジスタでは基板にソース電位よりも高い電圧を印加してトランジスタのしきい値電圧 (V_{th}) を高くする技術である。この技術は一般に、低 V_{th} のトランジスタ (L V t h M O S) で構成される回路と、所定の条件 (たとえば、低消費電力モード) のときにこれらのトランジスタのしきい値を大きくする制御回路 (V B B C R T) を組み合わせ用いられ、低 V_{th} トランジスタによる高速性能と、バックバイアスを印加した場合に V_{th} が上昇することによってサブスレショルドリーク電流を低減し消費電力を抑えるのに用いられる。しかし、ゲート長 100nm 以下のバルク (BULK) に形成されたトランジス

タにバックバイアスを印加すると、GIDLまたは接合リークとよばれるドレインから基板に流れるリーク電流が増加するためバックバイアスを印加して V_{th} を上げてサブスレシヨルドリークを低減しても全体のリーク電流は低減することは困難である。SOIに形成されたトランジスタでは、ドレイン-基板間に絶縁膜があるためドレイン-基板間に電流が流れない。そのためゲート長100nm以下のトランジスタにおいても、低 V_{th} トランジスタを用いた高速化と、バックバイアスによる低リーク電流化の両方の利点を得ることが可能となる。

【0077】

フォワードバイアス (V_{bfb}) は、nチャネル型トランジスタでは、基板にソース電位よりも高い電圧を、pチャネル型トランジスタでは基板にソース電位よりも低い電圧を印加してトランジスタの V_{th} を低くする技術である。この技術は一般に、高 V_{th} のトランジスタ (HVthMOS) で構成される回路と、所定の条件 (たとえば、高速動作モード) のときにこれらのトランジスタのしきい値を小さくする制御回路 (VBBFCRT) を組み合わせて用いられ、高 V_{th} トランジスタの使用によってリーク電流を低減して低消費電力化し、フォワードバイアスを印加した場合に V_{th} が低下することによって高速動作を可能とする。しかし、ゲート長100nm以下のバルク (BULK) に形成されたトランジスタにフォワードバイアスを印加するとpn接合に順方向電流が流れ、動作時のリーク電流が劇的に増加するため動作電力が増加してしまう。特に高温動作させたとき、リーク電流が増大する。SOIに形成されたトランジスタでは、ドレイン-基板間、ソース-基板間に絶縁膜があるためドレイン-基板間に電流が流れない。そのため高 V_{th} トランジスタを用いた低消費電力化と、フォワードバイアスによる回路の高速化の両方の利点を得ることが可能となる。また、フォワードバイアス本来のメリットであるオン電流も十分取れ、高温動作も可能となる。

【0078】

アクティブVbb (V_{bbact}) 技術は、上記のバックバイアスとフォワードバイアスを状況によって使い分け、回路のプロセスばらつきや温度による特性ばらつきを補正し高性能に回路を動作させる技術である。この技術は一般に、任意のしきい値のトランジスタで構成される回路と、そのトランジスタのしきい値を検出するモニタ回路と、そのモニタ回路の検出結果と動作させたいモード設定に基づいて、トランジスタのしきい値を変化させるための電源回路を組み合わせることによって実現される。ゲート長100nm以下のバルク (BULK) で形成されたトランジスタではバックバイアス、フォワードバイアスそれぞれに問題があるためアクティブVbb技術の使用においても問題がある。SOIに形成されたトランジスタでは、バックバイアス、およびフォワードバイアスの問題点が改善されているため、アクティブVbb技術も効果的に適用することが可能である。

【0079】

次に、SOIに形成されたトランジスタのしきい値を動的に制御する (アクティブVbb、バックバイアス) する構成について説明する。SOI基体に印加する電圧を変化させることでしきい値を動的に変化させるためには、SOI基体を変化させたい領域毎に分離しなければならない。SOI基体に印加する電圧が同じトランジスタを集積した回路ブロック毎に分離し、ブロック毎に給電部を設ける必要がある。その構成の断面図を図16に示す。半導体基板210には複数のウェル221が形成され、それぞれにブロック内の複数のSOIトランジスタが形成される。SOIトランジスタが形成されるSOI基体に印加する電圧が正であれば、P型基板内にn型ウェルを用いることにより、ウェル構造を簡素化することができる。第1回路ブロック260と第2回路ブロック261は絶縁領域258を介して分離されることにより、別々にウェルを制御することが可能となる。

【0080】

第1ブロック部260には、SOI基体221に共通の第1電圧を印加する複数のMISFET254が形成される。第1電圧 (251) をn型ウェル221より濃い濃度を有するn型給電部211に印加することにより、その上のMISFETのチャネル領域209が絶縁膜208を介して制御される。第1電圧を変化させることにより、MISFET254のしきい値は動的に変化する。

【0081】

第2ブロック部261には、SOI基体221に第2電圧を印加する複数のMISFET255が形成される。第2電圧(252)をn型ウエル221より濃い濃度を有するn型給電部211に印加することにより、その上のMISFETのチャネル領域209が絶縁膜208を介して制御される。第2電圧を変化させることにより、MISFET255のしきい値は動的に変化する。SOI基体221を分離することにより、一方にはバックバイアスを、他方にはフォワードバイアスをかけることができ、回路の動作状態に応じた制御が行えることになる。

【0082】

第1ブロックおよび第2ブロックに形成されるMISFETはそれぞれチャネル領域209、拡散層256、257に形成されるソース・ドレイン領域、ゲート酸化膜204、ゲート電極203で構成され、要求されるしきい値により材料は前実施例で用いたものを選択すればよい。

【0083】

<第5の実施の形態>

本実施例は、第1の実施の形態の変形例であり、図3のメモリセル(DCELL)の代わりに図17に示す4つのトランジスタからなる4Tセル(CELL)を用いている。図3のメモリセルと同様、メモリセルは完全空乏型SOI領域101上に形成される。ビット線BT、BBと、ワード線WLに接続されたメモリセルCELLは、Pチャネル型MISFET(404、405)、Nチャネル型トランジスタ(408、409)を具備し、Pチャネル型MISFET(404、405)は負荷トランジスタと転送トランジスタの役割を担っている。Pチャネル型MISFET(404、405)のゲートはワード線に接続され、ソース・ドレイン経路はビット線対とNチャネル型トランジスタ(408、409)のドレインとの間に接続される。書き込みや読み出し動作が行われていない状態では、メモリセル内の情報を保持するために、ビット線対(BT、BB)は高いレベルの電圧が印加され、Pチャネル型MISFET(404、405)は負荷トランジスタとして働く。転送トランジスタとして用いる場合、Pチャネル型MISFETでは、選択するワード線を高電圧でなく、低電圧にして書き込み、読み出し動作させることになる。Nチャネル型トランジスタ(408、409)は、入出力がクロスカップルされ、駆動トランジスタとして働く。本発明では特に、Pチャネル型トランジスタ(404、405)は、ダブルゲート構造で、それぞれのPチャネル型トランジスタの形成されるSOI基体には、記憶ノード412、411の電圧が印加されることに特徴を有する。ダブルゲート構造とは、図11のトランジスタ(212、213、214、215)に示されるように、SOI基体上に形成されたトランジスタのSOI基体に制御電極(給電部、211)があり、チャネルが絶縁膜を介して両側の2つのゲートで制御されるトランジスタをいう。本メモリセルでは、2つのPチャネル型トランジスタ(404、405)の制御電極(406、407)は別々に制御されることから、別々のSOI基体に形成されることになる。すなわち、メモリセル内のNチャネル型トランジスタは同じSOI基体に形成され、他のメモリセルと共通のSOI基体内に形成できるが、Pチャネル型トランジスタはメモリセル毎にかつメモリセル内でも別のSOI基体に制御する必要がある。

【0084】

SOI基体の電極が記憶ノードによって制御されていない4TSRAMメモリセルでは転送トランジスタのリーク電流によって"H"の電位を保持する必要があるため、"L"を保持しているノードと接続されている転送トランジスタのリーク電流は動作に不必要であるにも関わらず流れ続け、転送トランジスタのリーク電流を制御する必要があるとさらにリーク電流が増大するという問題があった。

【0085】

トランジスタ404のドレイン電極と駆動トランジスタ408のドレイン電極が接続されているノード411をnode1、転送トランジスタ405のドレイン電極と駆動トランジスタ409のドレイン電極が接続されているノード412をnode2として、本発明のメモリセルにおいてnode1に"L"のデータをnode2に"H"のデータを保持している状態について説明する。メモリセルにアクセスされていない待機状態では、ワード線が"H"、ビット線が"H"の状態となっている。ワード線がゲート電極に接続されている転送・負荷トランジスタはオフ状態となって

いる。"H"のデータを保持しているnode2にソース・ドレイン経路が接続されているP型トランジスタ405のSOI基体側の電極407には"L"の電位が印加されトランジスタがオン状態となるため"H"状態のビット線からnode2に電荷が供給されnode2が"H"電位に保たれる。"L"の電位を保持しているnode1は、オンしている状態の駆動トランジスタ408のドレイン電極に接続されており、接地電位すなわち"L"となっている。またnode1に接続されているトランジスタ404は、両方のゲートから見てオフ状態となっているため動作させるためにリーク電流は必要ではない。

【0086】

このように、ダブルゲート型FD-SOIトランジスタを用いて、SOI基体を記憶ノードに応じて制御したSRAMメモリセルでは動作に必要なないトランジスタにリーク電流を流す必要がないため、従来の4トランジスタ構成のメモリセルと比較してリーク電流が低減できる。尚、SRAMのメモリセルを除いた周辺の回路は、図1で示したSRAM回路のメモリセル部分と同様である。

【0087】

また、本実施例では、転送・負荷トランジスタをPチャネル型トランジスタ、駆動トランジスタをNチャネル型トランジスタで構成し、駆動トランジスタのソース電極を接地電位線に接続したが、NチャネルとPチャネルトランジスタを入れ換えた構成とすることも可能である。その場合、転送・負荷トランジスタをNチャネル型トランジスタ、駆動トランジスタをPチャネル型トランジスタで構成し、駆動トランジスタのソース電極を"H"電位の電源電位線に接続する。この構成のメモリセルでは、待機状態では、ワード線電位を"L"に、ビット線電位を"L"にしてデータを保持する。また、転送・負荷トランジスタ、駆動トランジスタとともにNチャネル型トランジスタで構成したメモリセルとすることも可能である。この構成では、導電型が一つしかないため、実際に半導体基板上に回路を構成するレイアウトが容易となる。

【0088】

<第6の実施の形態>

本実施例は、第3の実施の形態の変形例である。図9で電源スイッチ回路POWERCRTはSOI上に形成されているが、本実施例ではその電源スイッチ回路にDTMOSを用いている。具体的には、図16のMISFET253において、2つの電極(250、253)を同じ電圧で制御したダブルゲート構造のスイッチを電源スイッチとして用いる。図15は、DTMOSを用いた電源スイッチより、回路が動作していない状態である待機時のリーク電流を低減する回路構成を示している。回路CRT(421)は動作時に信号に一定の処理を施して出力する論理回路を、422は論理回路421内の主にNチャネル型トランジスタのソース電極に接続されている電源線vssmを、423は接地電位線vssを、424は電源線vssmと電源線vssを接続するスイッチとして挿入されたNチャネル型トランジスタを示している。回路CRT(421)は、たとえば図9のCPU(305)、メモリコントローラ(304)、バスコントロール(306)等のロジックを含んだ回路である。スイッチトランジスタ424のダブルゲート(ゲート電極および形成されるSOI基体側の電極)は、onという信号で制御される。信号onの"H"の電位は論理回路中での"H"電位と等しい。またスイッチトランジスタは論理回路421を構成しているトランジスタと構造の同じトランジスタである。

【0089】

論理回路421が動作している状態では、onという信号によってスイッチトランジスタ424がオン状態となり電源線vssmが接地電源線vssと接続され、vssmの電位が接地電位となる。論理回路421が動作していない待機状態では、onという信号によってスイッチトランジスタ424がオフ状態となり電源線vssmが接地電位線vssと切り離され、vssmの電位が上昇する。これにともない、論理回路421中を流れていたリーク電流が減少し待機時の消費電流を低減することが可能となる。しかし、論理回路中にラッチ等が含まれると、そのデータは破壊される。論理回路421はある信号に所定の処理を施して出力する回路としたが、保持していたデータが破壊されてもいい場合はSRAM等のメモリ回路も含めてもよい。

【0090】

従来のスイッチトランジスタを含む回路では、スイッチトランジスタは絶縁膜厚の厚いトランジスタを用い、スイッチトランジスタがオン状態の時には、ゲート電極に論理回路に印加される電圧よりも高い電圧が印加されていた。これによって、オフ時のスイッチトランジスタのリーク電流を小さく抑え、オン時のスイッチトランジスタでの抵抗を小さくしていた。しかし、論理回路では使用されていない絶縁膜厚の厚いトランジスタを使用する必要があるため、面積が増加し、プロセスコストがかさむという問題があった。また制御信号として電圧の高い信号を使用する必要があるため論理回路とスイッチトランジスタを配置する場所を離す必要があるため面積の増加を引き起こすという問題を有していた。

【0091】

本実施例の回路構成では、スイッチトランジスタに論理回路中に用いられているのと同じダブルゲート型FD-SOIトランジスタを用いている。そのため、プロセスコストの増加はない。また制御信号onの電位は論理回路中で用いられる信号の電位と等しくすることができ、配置場所を近接した場所とすることが可能でありスイッチトランジスタを配置することによる面積の増加はスイッチトランジスタ自体の面積のみとなる。

【0092】

スイッチトランジスタ424にダブルゲート型FD-SOIトランジスタを用いることで、オン・オフ比を大きくすることが可能となり、制御信号onの電位が論理回路と等しい場合にも、オン電流を大きくとりオフ時のリーク電流を低減することが可能となる。尚、図18ではスイッチとして、N型MISFETで構成されたDTMOSを用いているが、高位側電源線と回路との間にP型MISFETで構成されたDTMOSを用いてもよく、また両方を組み合わせてもよい。

【0093】

図19は、論理回路(421)の一構成例である。431は速い動作速度が要求されないインバータセル、432は速い動作速度が要求されるインバータセル、433は速い動作速度が要求されるNANDセル、434は”H”の電位を示す電源線、435は434の電位よりも低い”H”の電位を示す電源線、436は接地電位線、437、438、439は、セル431、セル432、セル433内のPチャネル型トランジスタのソース電極を、電源線434または電源線435に接続するためのメタルコンタクトを示している。論理回路内(421)のP型トランジスタは共通のSOI基体で形成される。また、論理回路内(421)のN型トランジスタは共通のSOI基体で形成される。P型とN型適切なしきい値設定ができる場合は、両方同じSOI基体に形成することも可能である。

【0094】

インバータセル431は高速動作が必要ないため、電圧の低い電源線435に接続されており、高い電圧の電源線434に接続されたセルと比較して動作速度は遅いが、消費電力は小さくなる。インバータセル432およびNANDセル433は電源線434と接続されているため、低い電圧の電源線435に接続されたセルと比較すると消費電力は大きくなるが、動作速度が高速となる。よってこのように論理セルが多数集積された回路内で高速動作が要求される回路のみ高い電圧の電源線434に接続し高速動作を要求されない回路を低い電圧の電源線435に接続すれば高速性を維持しつつ、電力を低減した回路を構成することが可能となる。

【0095】

従来のバルクCMOSでは、電源電圧によって基板またはウエルの電位を変える必要があった。これは、電源と基板の電流が異なると、基板と拡散層間のpn接合に電流が流れてしまうためである。異なった基板またはウエルの電位をもった回路は一定の距離を離して配置する必要があるため、電源電圧の異なる回路を本実施例のように隣接して並べることが出来ず、事実上、一つの回路内で複数の電圧の電源を使用することは不可能であった。そのため動作速度によって電源電圧が決まると、速度が不必要な回路もその電源電圧で駆動することとなり余分な電力を消費する。

【0096】

本実施例では、回路を構成するトランジスタとしてダブルゲート型FD-SOIを用いることによって基板と拡散層が絶縁されているためその電位が異なってもそこに電流が流れることはない。よって、基板の電位と電源の電位を異なった状態とすることが可能となるため

、本実施例の構成が可能となる。またバルクに形成されたMISFETでは、高い電源電圧Vddhと低い電源電圧Vddlの2電源を使う場合、2つの電源系でウエル分離する必要があるのに対し、SOIでは同じSOI基体に2つの電源系の回路ブロック内のトランジスタを形成することができる。たとえばバルクに形成されたP型MISFETが電源系毎にウエル分離されなければ、フォワードバイアスによるリーク電流をさけるため共通のウエル電位VbpはVddhしか使用できず、この結果Vddlが印加されるP型MISFETではバックバイアスが印加されて遅くなる。しかし、SOIに形成されたMISFETではフォワードバイアスでのリーク電流も問題とならないため、必要性能によってSOI基体に適切な電位を一つ印加し、複数電源系を用いているにもかかわらず、同じSOI基体に形成することができる。

【0097】

以上により、SOI上にSRAMおよび周辺回路を形成しても回路毎に最適なしきい値を設定できるため、性能が劣化せず、SOIの特性を最大限に利用することができ、従来バルクシリコン上に形成されたSRAMに比べて、SRAMセルの低電圧での安定動作、同一リーク電流での高速動作、ソフトウェア耐性の向上が可能となる。

【0098】

尚、実施例で述べた完全空乏型SOIは、チャネル部が完全に空乏化したものであるが、しきい値のばらつきを抑えられる程度であれば、部分空乏型SOI(Partial Depletion)SOIを用いてもよい。

【図面の簡単な説明】

【0099】

- 【図1】 実施例1に係わる半導体装置の回路図。
- 【図2】 実施例1に係わる半導体装置の動作波形。
- 【図3】 実施例1に係わる半導体装置の回路図。
- 【図4】 実施例1に係わる半導体装置の断面概要図。
- 【図5】 実施例2に係わる半導体装置のブロック図。
- 【図6】 実施例2に係わる半導体装置の回路図。
- 【図7】 実施例2に係わる半導体装置の断面概要図。
- 【図8】 実施例2の変形例の半導体装置のブロック図。
- 【図9】 実施例3に係わる半導体装置のブロック図。
- 【図10】 実施例3に係わる半導体装置の回路図。
- 【図11】 実施例3に係わる半導体装置の断面概要図。
- 【図12】 回路毎に最適なしきい値の実現例。
- 【図13】 SRAMメモリセル搭載の半導体装置において要求されるしきい値。
- 【図14】 SOI基板に形成されたMISFETのしきい値。
- 【図15】 SOI基板における動的しきい値制御。
- 【図16】 実施例4に係わる半導体装置の断面概要図。
- 【図17】 実施例5に係わる半導体装置の回路図。
- 【図18】 実施例6に係わる半導体装置の回路図。
- 【図19】 実施例6に係わる半導体装置のレイアウト図。

【符号の説明】

【0100】

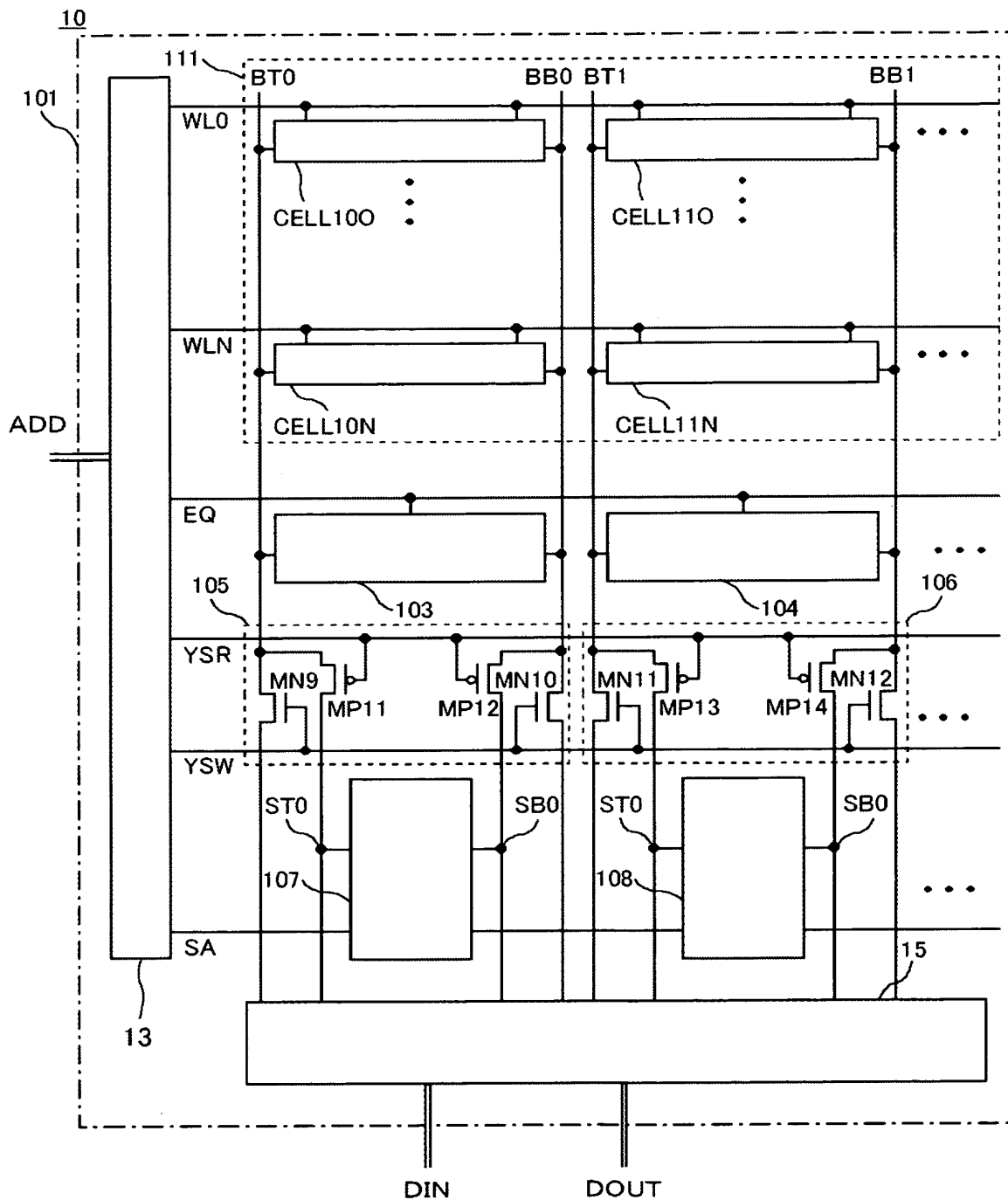
CELL…SRAMメモリセル、
MN、213、215、222、408、409…Nチャネル型MISFET、
DTMN…Nチャネル型DMISFET、
MP、212、214、223、404、405…Pチャネル型MISFET、
INV…インバータ回路、
NL、NR…記憶ノード、
VDD…電源電位、
VSS…接地電位、
BT、BB…データ線、

WL…ワード線、
PSW…電源スイッチ制御信号、
EQ…プリチャージ・イコライズ回路制御信号、
YSR…読み出し用Yスイッチ制御信号、
YSW…書き込み用Yスイッチ制御信号、
SA…センスアンプ制御信号、
ST、SB…センスデータ線、
DR…センスアンプ回路の出力信号、
DW…ライトアンプ回路への入力信号、
DOU T…外部への読み出しデータ、
DIN…外部からの書き込みデータ、
10、11、12…SRAMチップ、
13…制御回路、
15…データ入出力回路、
101、216、217、308…完全空乏型SOI領域、
102、224、309…バルクシリコン領域、
103、104…プリチャージ・イコライズ回路、
105、106…Yスイッチ回路、
107、108…センスアンプ回路、
109、110…ライトアンプ回路、
111、112、113、303…メモリアレイ、
119、139、302…電源スイッチ回路、
115…ワードデコーダ・ドライバ、
116…制御回路、
120、122、140、142…入力回路、
121、123、141、143…出力回路、
201…P型ポリシリコン、
202…N型ポリシリコン、
203…P型シリコンゲルマニウム
204…ゲート絶縁膜、
205…フィールド酸化膜、
206…P型拡散層、
207…N型拡散層、
230…N型拡散層、
235…P型拡散層、
208…埋め込み酸化膜、
209…チェネル領域、
210…半導体基板、
211…N+給電領域、
231…P+給電領域、
241…N+給電領域、
220…Pウエル領域、
221…Nウエル領域、
Vbb1…半導体基板に印加される電圧、
Vbb2…半導体基板と反導電型のウエル220に印加される電圧、
Vbb3…ウエル221と反導電型のウエル221に印加される電圧、
254、255…MISFET
258…絶縁領域、
251…第1電圧、
252…第2電圧、

2 5 6、2 5 7…拡散層、
2 6 0、2 6 1…回路ブロック、
3 0 0、3 1 0、3 2 0…システム L S I チップ、
3 0 1、3 2 1…アナログ回路、
3 0 4、3 1 1…メモリ制御回路、
3 0 5、3 1 2…C P U 回路、
3 0 6、3 1 3…バスコントロール回路、
3 0 7、3 2 7…入出力回路、
3 2 2…電源回路、
4 0 0…給電部、
4 0 6、4 0 7…Nチャネル型MISFET 4 0 4、4 0 5 が形成されるSOI基体の電極、
4 1 0、4 2 3…接地電位線、
4 1 1、4 1 2…SRAMメモリセル内の記憶ノード、
4 2 1…トランジスタで構成される回路、
4 2 2…回路 4 2 1 内の接地側の電源線、
4 2 4…電源スイッチを構成するトランジスタ、
4 3 1…低速プリミティブ回路、
4 3 2、4 3 3…高速プリミティブ回路、
4 3 4…高電圧電源線、
4 3 5…低電圧電源線、
4 3 6…接地電位電源線、
4 3 7、4 3 8、4 3 9…電源線へのコンタクト。

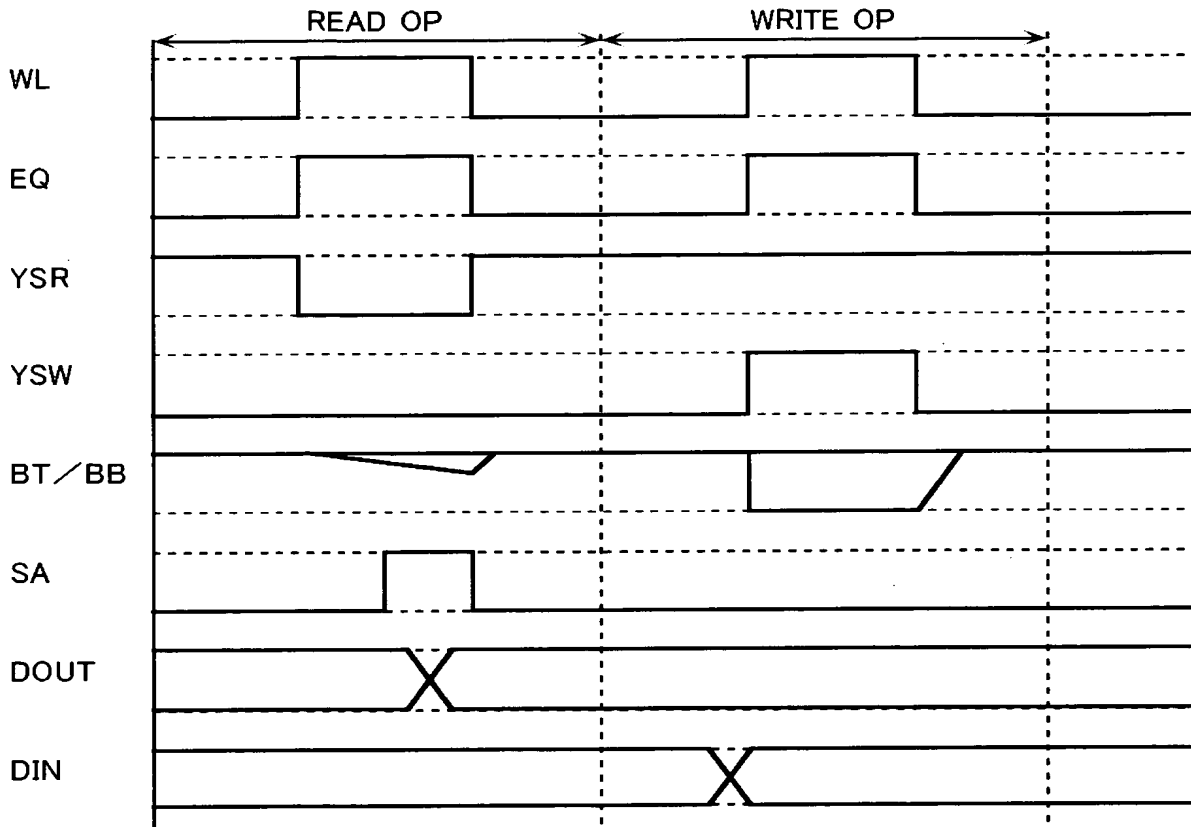
【書類名】 図面
【図 1】

図 1



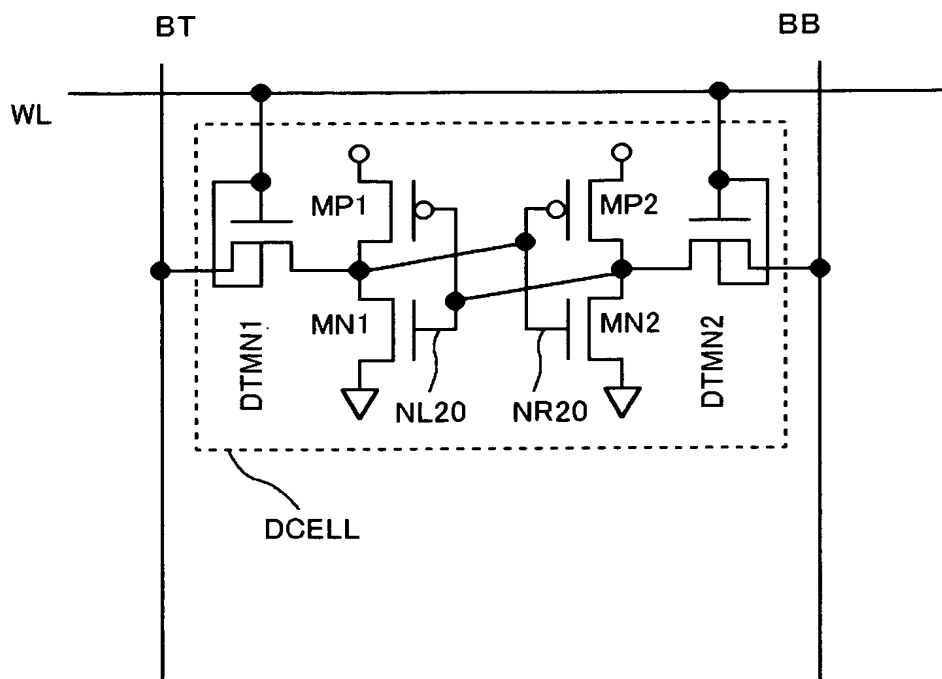
【図 2】

図 2



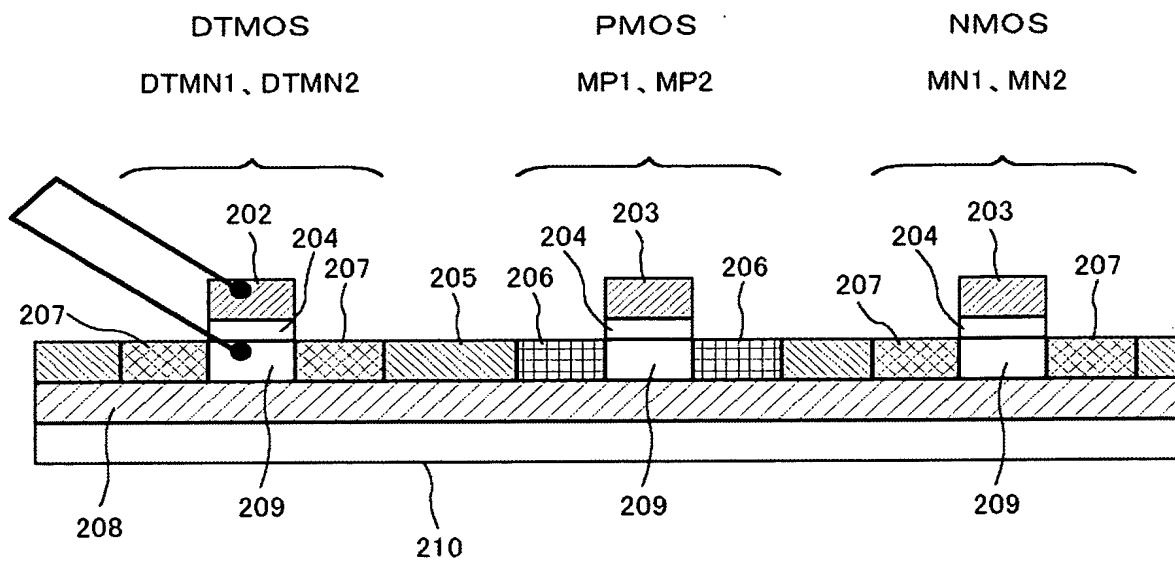
【図 3】

図 3



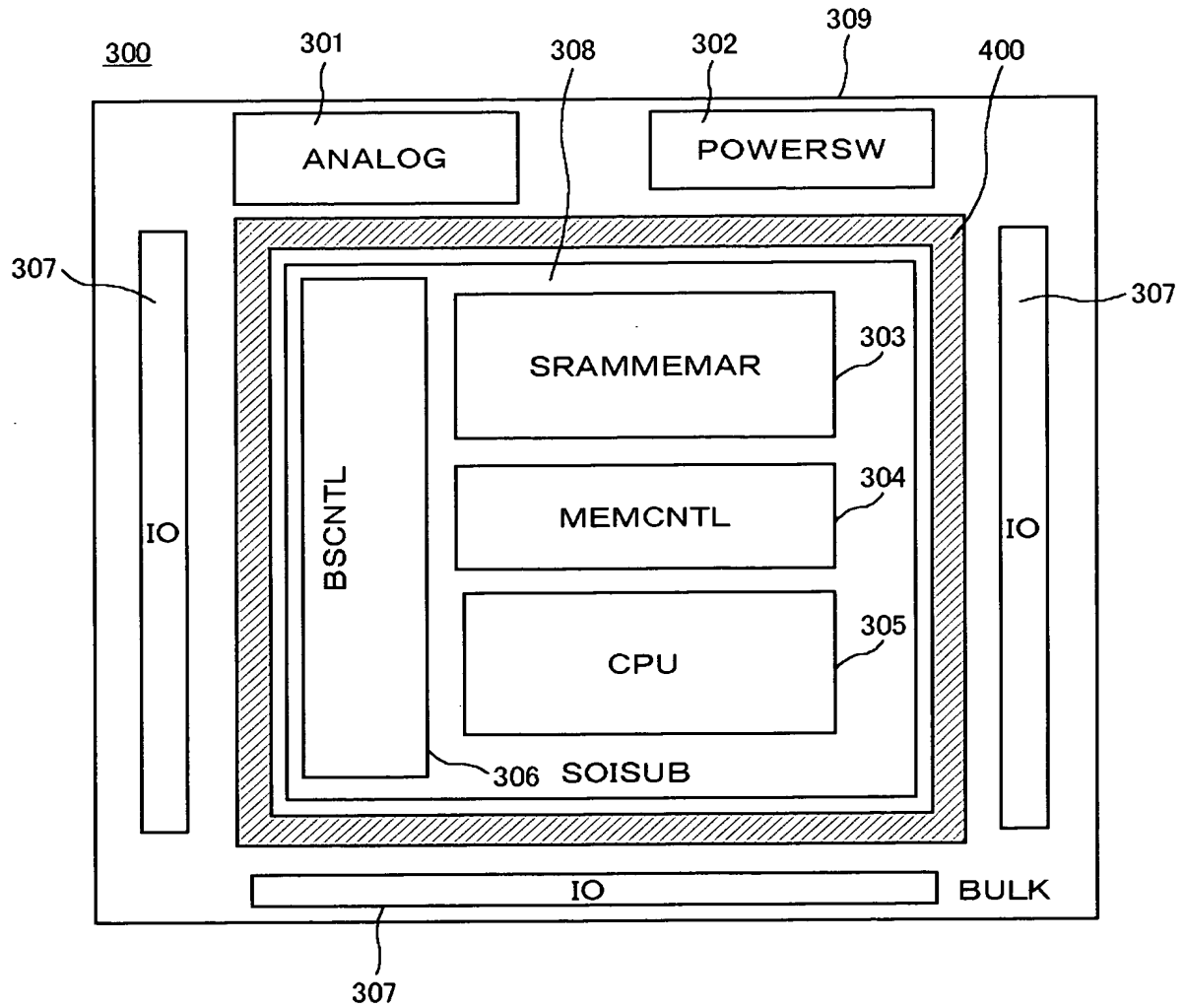
【図 4】

図 4



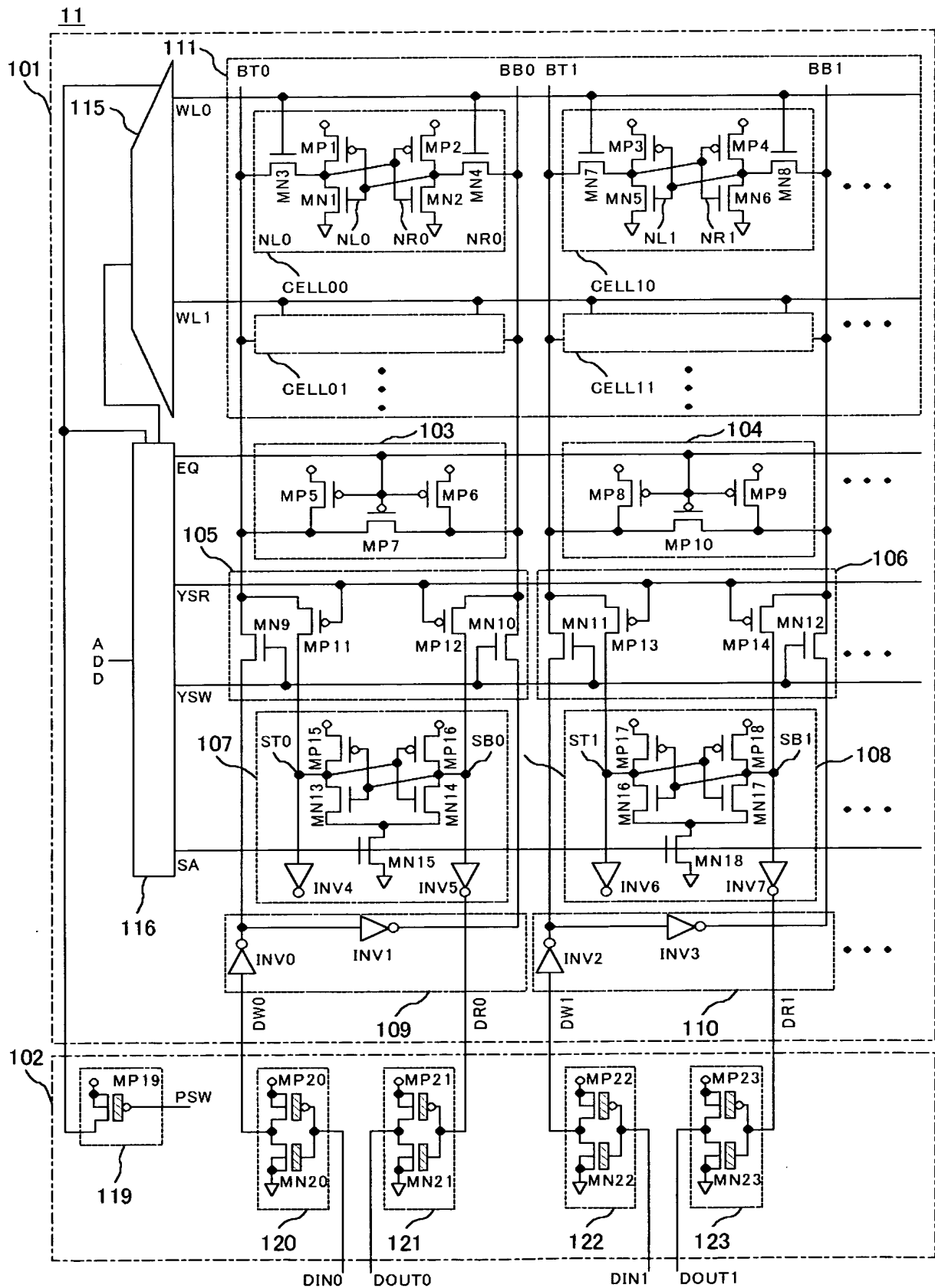
【図 5】

図 5

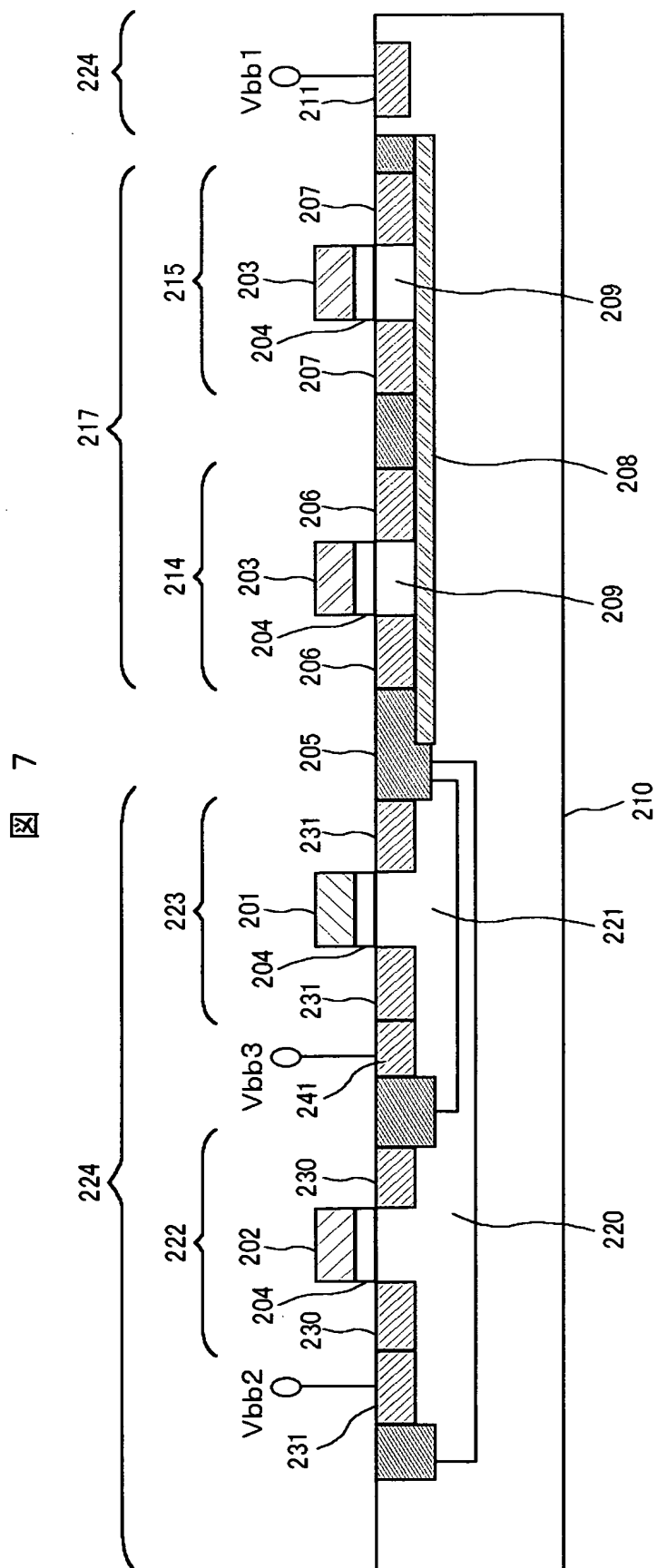


【図 6】

圖 6

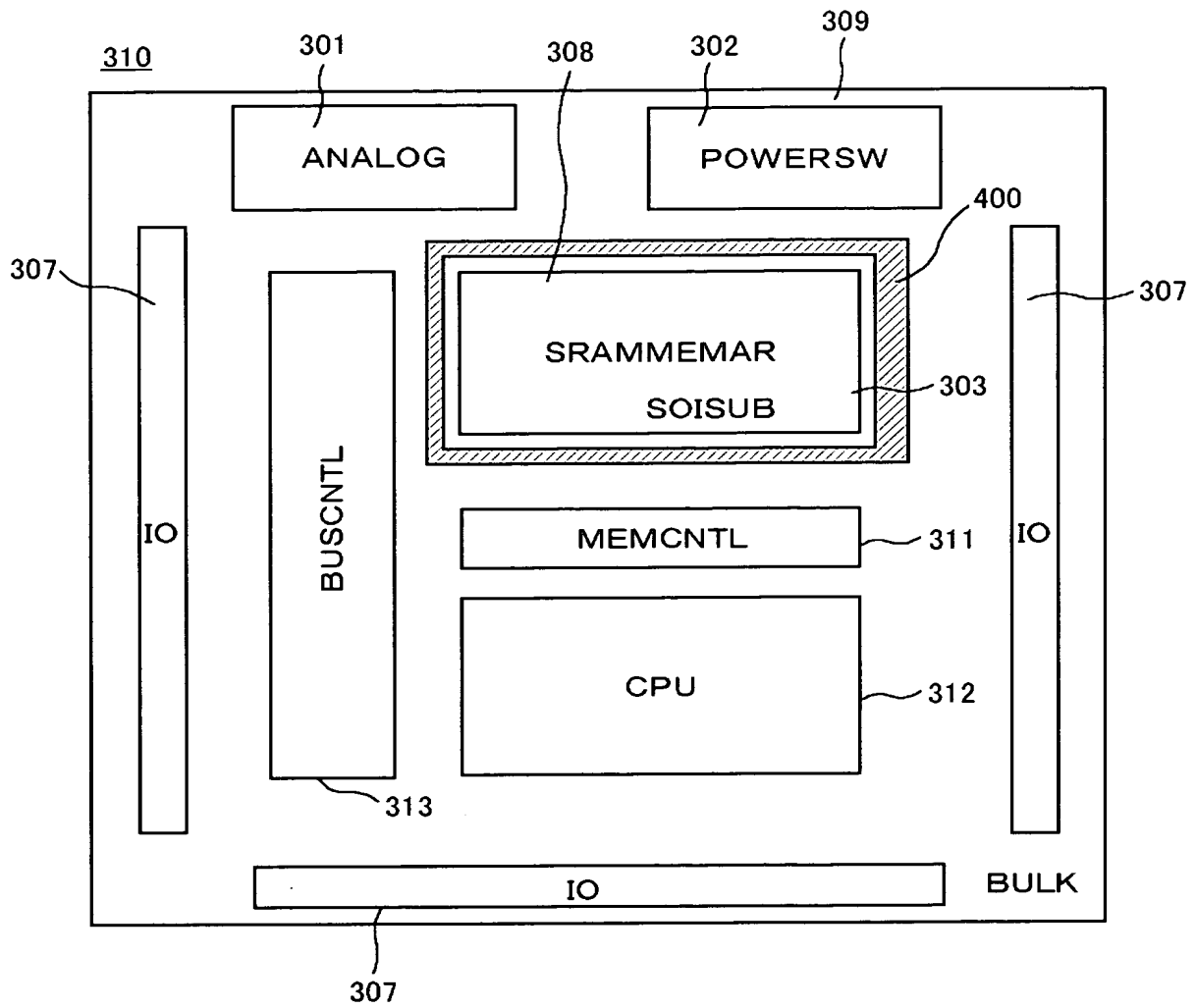


【圖 7】



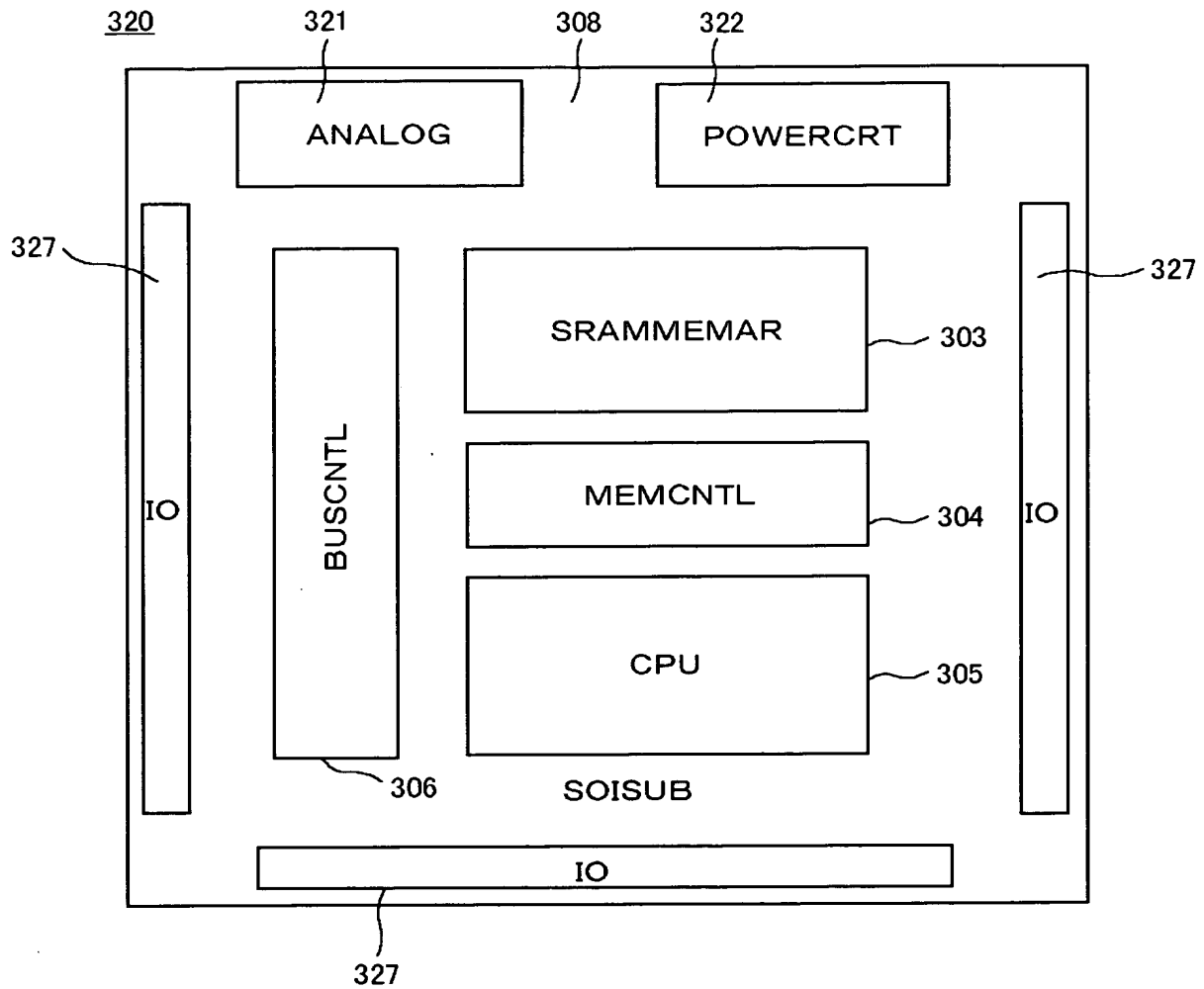
【図 8】

図 8



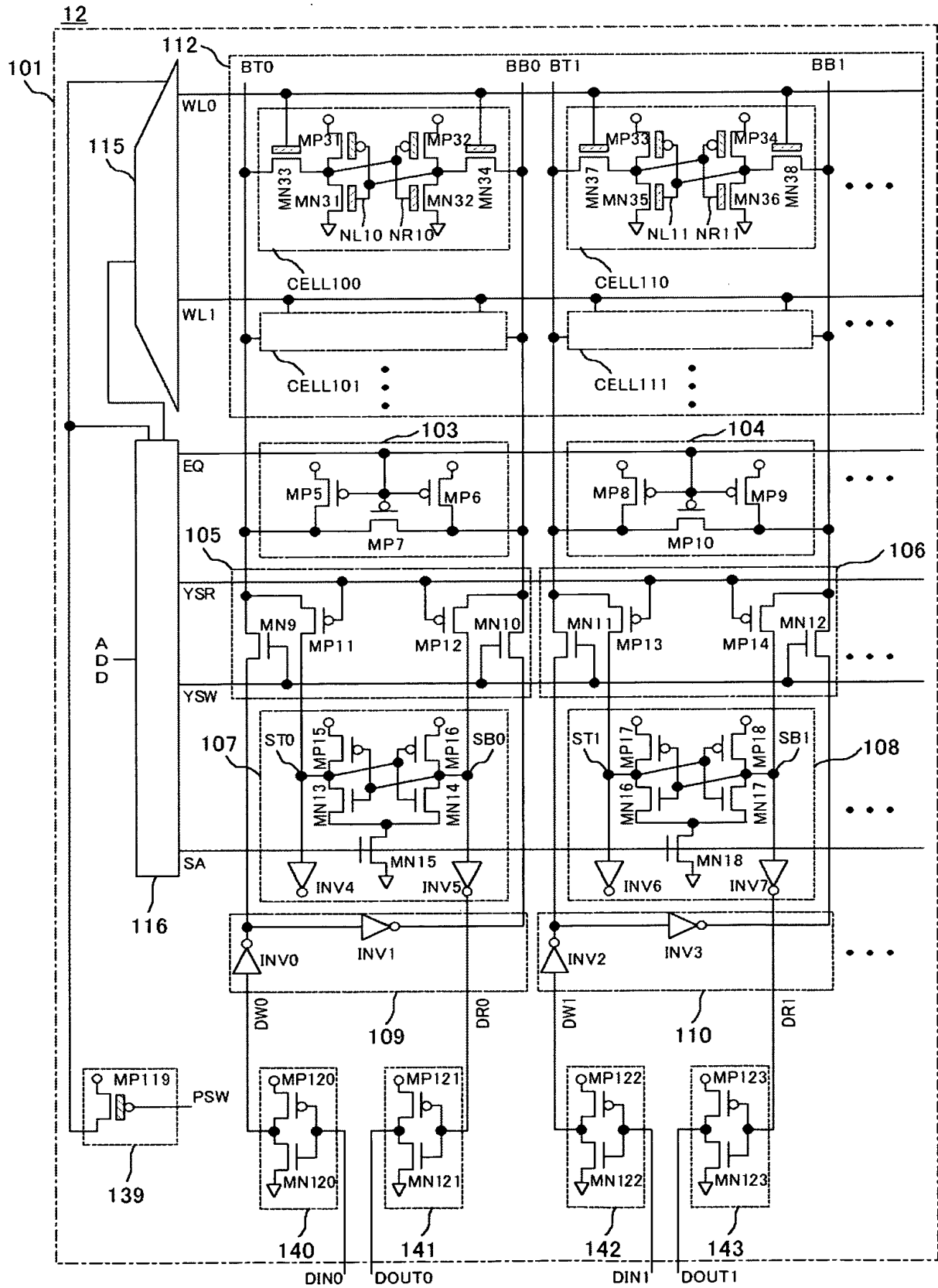
【図 9】

図 9



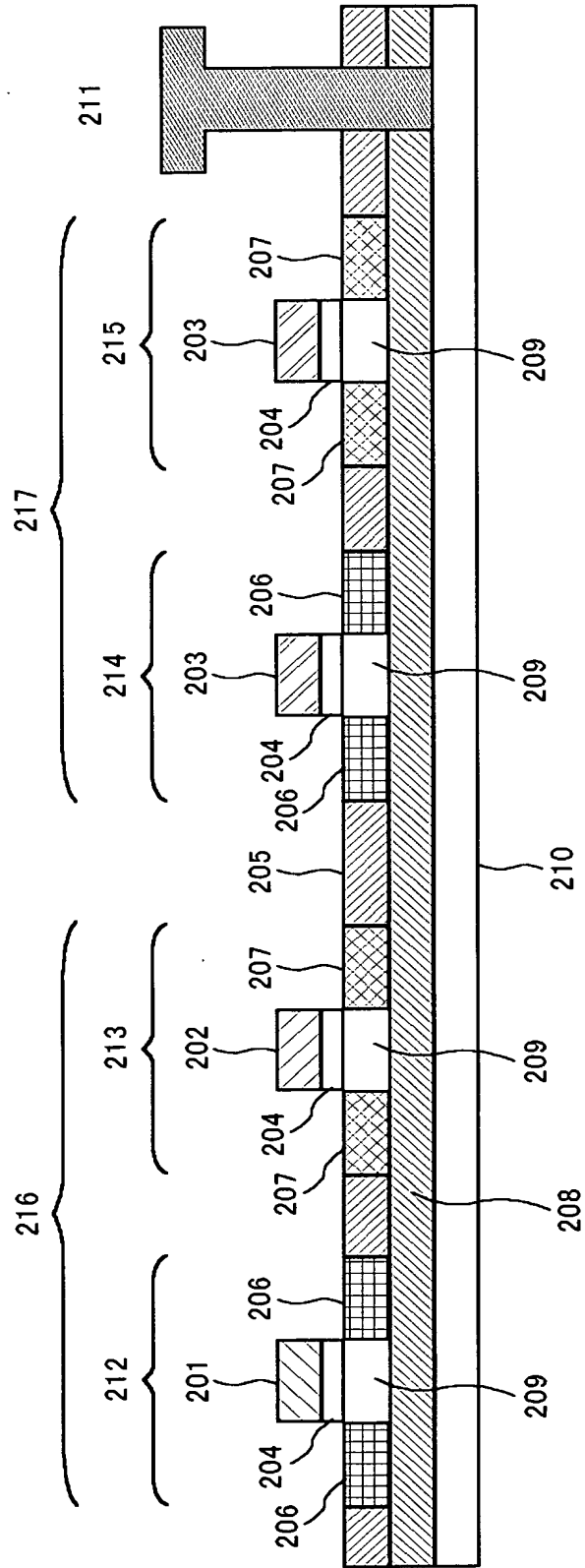
【図 10】

図 10



【図 11】

図 11



【図 12】

図 12

SOISUB	HIGHSPEED					STANDARD				
	SUB	GATEMAT	GATEIMP	SOIVBB	VT[V]	SUB	GATEMAT	GATEIMP	SOIVBB	VT[V]
LOGIC	PMISFET	SOI	SiGe	P	-0.3	SOI	SiGe	P	3V	-0.3
	NMISFET	SOI	SiGe	P	0.3	SOI	SiGe	P	3V	0.3
SRAM	PMISFET	SOI	SiGe	P	-0.3	SOI	Poly-Si	N	3V	-1.0
	NMISFET	SOI	SiGe	P	0.3	SOI	Poly-Si	P	3V	0.6

SOISUB	STANDARD					LOWPOWER				
	SUB	GATEMAT	GATEIMP	SOIVBB	VT[V]	SUB	GATEMAT	GATEIMP	SOIVBB	VT[V]
LOGIC	PMISFET	SOI	VERTICALMOS			SOI	Poly-Si	N	x	-0.8
	NMISFET	SOI	Poly-Si	P	0.6	SOI	Poly-Si	P	x	0.8
SRAM	PMISFET	SOI	VERTICALMOS			SOI	Poly-Si	N	x	-0.8
	NMISFET	SOI	Poly-Si	P	0.6	SOI	Poly-Si	P	x	0.8

HYBRIDSUB	HIGHSPEED					STANDARD				
	SUB	GATEMAT	GATEIMP	SOIVBB	VT[V]	SUB	GATEMAT	GATEIMP	SOIVBB	VT[V]
LOGIC	PMISFET	SOI	SiGe	P	-0.3	SOI	SiGe	P	3V	-0.3
	NMISFET	SOI	SiGe	P	0.3	SOI	SiGe	P	3V	0.3
SRAM	PMISFET	SOI	SiGe	P	-0.3	SOI	Poly-Si	N	3V	-1.0
	NMISFET	SOI	SiGe	P	0.3	SOI	Poly-Si	P	3V	0.6
IO/Analog/SW	BULK	—	—	—	ANY	BULK	—	—	—	ANY

HYBRIDSUB	STANDARD					LOWPOWER				
	SUB	GATEMAT	GATEIMP	SOIVBB	VT[V]	SUB	GATEMAT	GATEIMP	SOIVBB	VT[V]
LOGIC	PMISFET	BULK	—	—	ANY	BULK	—	—	—	ANY
	NMISFET	BULK	—	—	ANY	BULK	—	—	—	ANY
SRAM	PMISFET	SOI	VERTICALMOS			SOI	Poly-Si	N	x	-0.8
	NMISFET	SOI	SiGe	P	0.5	SOI	Poly-Si	P	x	0.8
IO/Analog/SW	BULK	—	—	—	ANY	BULK	—	—	—	ANY

【図 13】

図 13

		HIGH SPEED 300MHz~ Vdd<1.0V	STANDARD 100MHz~300MHz Vdd≒1.0V	LOW POWER ~100MHz Vdd>1.0V
Logic	PMOSVT	-0.3V~-0.1V	-0.4V~-0.2V	-0.9V~-0.7V
	NMOSVT	0.1V~0.3V	0.2V~0.4V	0.7V~0.9V
SRAM	PMOSVT	-0.5V~-0.3V	-1.0V~-0.8V	-0.9V~-0.7V
	NMOSVT	0.2V~0.4V	0.4V~0.6V	0.7V~0.9V

【図 14】

図 14

GATE MAT	Poly-Si		SiGe	
GATE IMP	P	N	P	N
PMOS Vto	+0.2V	-0.8V	-0.1V	-0.8V
NMOS Vto	+0.8V	-0.2V	0.5V	-0.2V

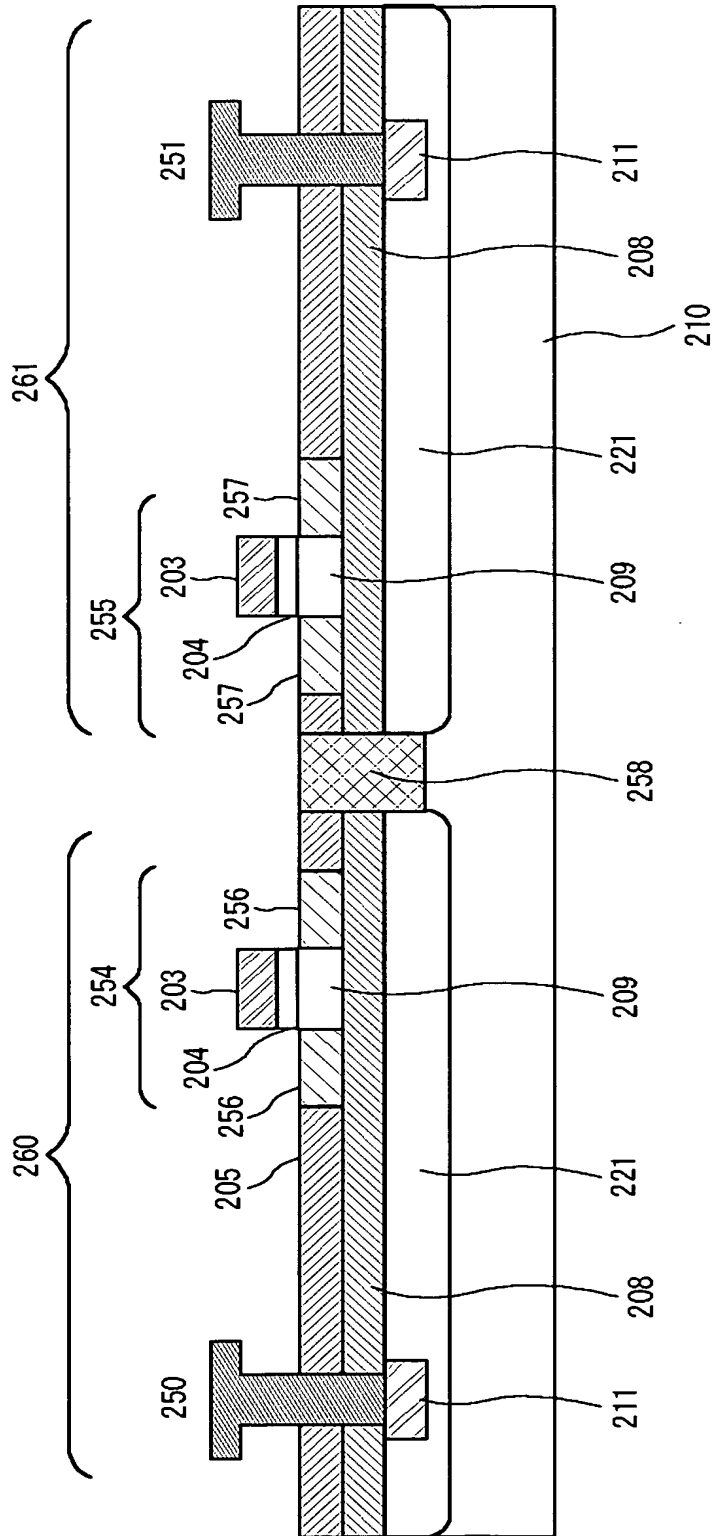
【図 15】

図 15

	ELE	BULK	FD-SOI
Vbbb	LVthMOS + VBBBCRT	100nm以下では 効果少	100nm以下でも 効果有
Vbbf	HVthMOS + VBBFCRT	高温では効果少、 リーク電流大	高温可、リーク電流 小、オン電流大
Vbbact	LthMOS + MNTCRT + VLTCRT	上記理由で、ばらつき 補正等の効果少。	100nm以下、高温 でも効果有

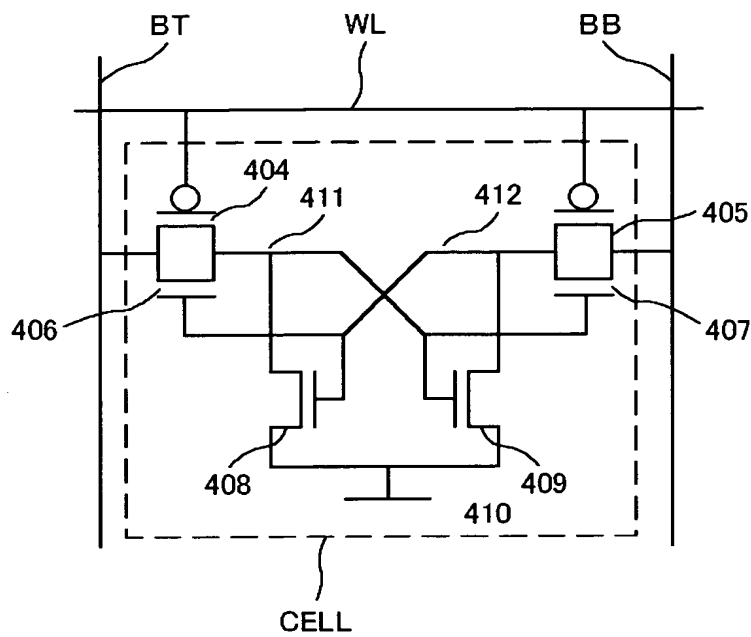
【図 16】

図 16



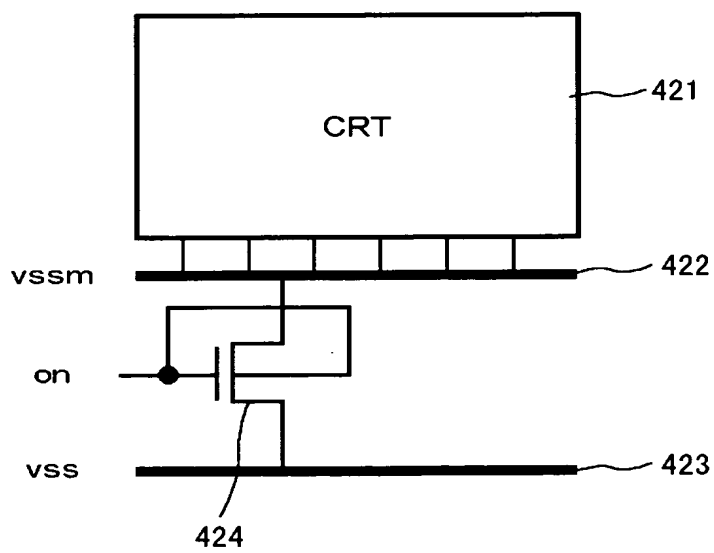
【図 17】

図 17



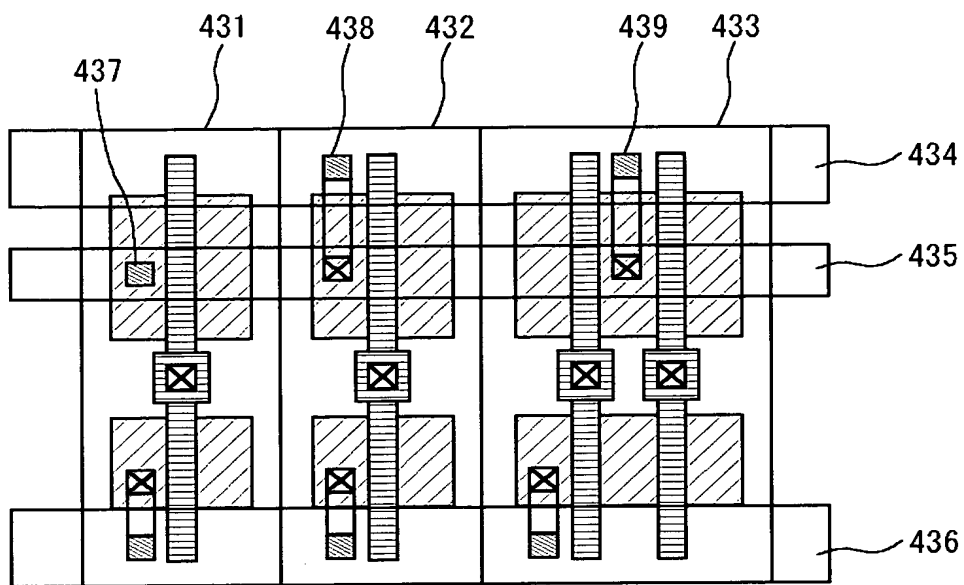
【図 18】

図 18



【図 19】

図 19



【書類名】 要約書**【要約】****【課題】**

完全空乏型 S O I 基板では、MISFETのしきい値は、バルクシリコンのMISFETのようにチャネルの不純物濃度では制御できないため、回路毎に最適なしきい値を設定することが困難であるという問題があった。

【解決手段】

メモリセルを構成する Pチャネル型MISFETのゲート電極は、N型のポリシリコンで、Nチャネル型MISFETのゲート電極はP型のポリシリコンで形成される。周辺回路や論理回路の、Pチャネル型MISFETおよびNチャネル型MISFETのゲート電極はP型のシリコンゲルマニウムで形成されることを特徴とする半導体装置。

【効果】

本発明によれば、S O I 基板を使って回路毎に最適なしきい値を得ることができ、SOI基板の特性を最大限に利用することが可能となる。

【選択図】 図 1 1

特願 2 0 0 3 - 3 8 1 0 8 3

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ